

BUDAPESTI MŰSZAKI ÉS GAZDASÁGTUDOMÁNYI EGYETEM VILLAMOSMÉRNÖKI ÉS INFORMATIKAI KAR MÉRÉSTECHNIKA ÉS INFORMÁCIÓS RENDSZEREK TANSZÉK

Rendszerarchitektúrák labor Xilinx EDK

Raikovich Tamás

BME MIT





Labor tematika (Xilinx EDK)

- 1. labor:
 - A Xilinx EDK fejlesztői környezet ismertetése
- 2. labor:
 - Egyszerű processzoros rendszer összeállítása
 - Egyszerű szoftver alkalmazások készítése
- 3. labor:
 - Saját periféria illesztése
 - Megszakításkezelés
 - Egyidejű HW/SW fejlesztés (debugger, ChipScope)



Témakörök

- Beágyazott rendszerek
- MicroBlaze processzor
- EDK alapok
- Gyári és saját IP-k hozzáadása
- Szoftverfejlesztés
- HW és SW együttes fejlesztése

BME-MIT

Intellectual Property (IP) katalógus:

- Az elérhető IP modulok listája
- Bal oldalon az IP Catalog fül
- Ingyenes IP modulok
- Fizetős IP modulok: korlátozások
 - Időkorlátosan használható
 - Csak szimuláció megengedett
 - Stb.

BME-MI'

- IP modul hozzáadása a rendszerhez
 - Jobb kattintás a modul nevén
 - Add IP menüpont kiválasztása

Description IP Version IP Version IP Version IP Analog Interrupt IP Clock, Reset and Interrupt Interrupt IP Communication High-Speed Interrupt IP DAA and Timer Interrupt IP Deb View MPD View PDF Datasheet Interprocessor Communication IP IO N Make This IP Local IP IO N Make This IP Local IP INTERPROCESSOR Communication Interprocessor Communication IP IO N Make This IP Local IP IO N Solar and Memory Controller IP IO N Solar and Memory Controller IP Processor Communication Solar and XPS System ACE Interface IP PCI IP Processor IP Project Local pcores 7.20.b	IP C	atalog			↔□₽∶			
Description IP Version IP EDK Install IP Analog IP Bus and Bridge IP Clock, Reset and Interrupt IP Communication High-Speed IP Communication Low-Speed IP DMA and Timer IP Add IP IP View MPD View IP Modifications (Change Log) View PDF Datasheet IP Interprocessor Communication IP Interprocessor Communication IP IN Memory and Memory Controller IP Block RAM (BRAM) Block 1.00.a IP Multi-Port Memory Controller 5.02.a IP YPS System ACE Interface 3.00.a XPS System ACE Interface 1.01.a IP Processor Interface IP Processor Y2.0.b	120	Ð						
 EDK Install Analog Bus and Bridge Clock, Reset and Interrupt Communication High-Speed Communication Low-Speed DMA and Timer Add IP View MPD View IP Modifications (Change Log) View PDF Datasheet Gen Make This IP Local Interprocessor Communication Memory and Memory Controller Multi-Port Memory Controller Multi-Port Memory Controller XPS BRAM Controller XPS Multi-Channel Externa 3.00.a XPS System ACE Interface 1.01.a Project Local pcores 	Des	cription			IP Version			
 Analog Bus and Bridge Clock, Reset and Interrupt Communication High-Speed Communication Low-Speed DMA and Timer Add IP View MPD View IP Modifications (Change Log) View PDF Datasheet Interprocessor Communication Memory and Memory Controller Memory and Memory Controller Multi-Port Memory Controller Multi-Port Memory Controller XPS BRAM Controller XPS System ACE Interface 1.01.a Project Local pcores 	ė	🐮 EDK Ins	tall					
Bus and Bridge Clock, Reset and Interrupt Communication High-Speed Communication Low-Speed OMA and Timer Add IP View MPD View MPD View IP Modifications (Change Log) View PDF Datasheet Make This IP Local Interprocessor Communication Memory and Memory Controller Memory and Memory Controller Memory and Memory Controller Multi-Port Memory Controller XPS BRAM Controller XPS Multi-Channel Externa 3.00.a XPS System ACE Interface 1.01.a PCI Project Local pcores	🕀 Analog							
 Clock, Reset and Interrupt Communication High-Speed Communication Low-Speed DMA and Timer Add IP View MPD View IP Modifications (Change Log) View PDF Datasheet Gen Make This IP Local Interprocessor Communication Memory and Memory Controller Memory and Memory Controller Multi-Port Memory Controller Multi-Port Memory Controller State System ACE Interface 1.01.a PCI Peripheral Controller Processor MicroBlaze T.20.b 	Bus and Bridge							
Communication High-Speed Communication Low-Speed Communication Low-Speed Communication Low-Speed Communication Low-Speed Communication Low-Speed Add IP View MPD View MPD View IP Modifications (Change Log) View PDF Datasheet Communication	Clock, Reset and Interrupt							
Controlled to the speed Controlled IP View MPD View IP Modifications (Change Log) View PDF Datasheet View PDF Datasheet Make This IP Local On Interprocessor Communication Memory and Memory Controller Memory and Memory Controller Memory and Memory Controller Multi-Port Memory Controller XPS BRAM Controller XPS System ACE Interface 1.01.a XPS System ACE Interface 1.01.a YPS System ACE Interface 1.01.a YPS Project Local pcores		🕀 Commu	nication Hig pication Low	n-opeed u-Speed				
Add IP View MPD View IP Modifications (Change Log) View PDF Datasheet Make This IP Local Therprocessor Communication Memory and Memory Controller Memory And Memory Controller Multi-Port Memory Controll 5.02.a Multi-Port Memory Controll 5.02.a XPS BRAM Controller NO.b XPS Multi-Channel Externa 3.00.a XPS System ACE Interface 1.01.a PCI Project Local pcores	B DMA and Timer							
Add IP View MPD View IP Modifications (Change Log) View PDF Datasheet View PDF Datasheet Image: Point Processor Communication Image: Point Processor Image: Point Processor Image: Point Processor Image: Processor			(e) (+)	1	1.00			
View MPD View IP Modifications (Change Log) View PDF Datasheet Make This IP Local Immerprocessor Communication Immerprocessor Immerprocessor Immer			Add IP					
Image: Sender of the sende			View MPD)				
Wiew PDF Datasheet Wiew PDF Datasheet Make This IP Local Image: ID N Make This IP Local Image: ID N Make This IP Local Image: ID N Im			View IP M	odifications (Ch	ange Log)			
Make This IP Local Make This IP Local Make This IP Local Make This IP Local Memory and Memory Controller Memory and Memory Controller Memory and Memory Controller Memory and Memory Controller Multi-Port Memory Controll 5.02.a XPS BRAM Controller XPS Multi-Channel Externa 3.00.a XPS System ACE Interface 1.01.a PCI Project I Controller NeroBlaze 7.20.b Utility Project Local pcores		🛨 Deb	View PDF	Datasheet				
Make This IP Local Therprocessor Communication Therprocessor Communication Therprocessor Communication Therprocessor Controller Therprocessor Therproc								
Interprocessor Communication Memory and Memory Controller Memory Multi-Port Memory Controller XPS BRAM Controller XPS Multi-Channel Externa 3.00.a XPS System ACE Interface 1.01.a PCI Peripheral Controller Processor MicroBlaze Youther Controller Project Local pcores	HION Make This IP Local							
 Memory and Memory Controller Block RAM (BRAM) Block LMB BRAM Controller LMB BRAM Controller Multi-Port Memory Controll SO2.a SYS BRAM Controller MSS System ACE Interface NO1.a PCI Peripheral Controller Processor MicroBlaze Utility Project Local pcores 		🗄 Interpro	cessor Con	nmunication				
Block RAM (BRAM) Block 1.00.a ∴ Block RAM (BRAM) Block 1.00.a LMB BRAM Controller 2.10.b ∴ Multi-Port Memory Controll 5.02.a ∴ XPS BRAM Controller 1.00.b ∴ XPS Multi-Channel Externa 3.00.a ∴ XPS System ACE Interface 1.01.a ⊕ PCI ⊕ Peripheral Controller ⊖ Processor ↓ MicroBlaze 7.20.b ⊕ Utility ⊖ Project Local pcores		Memory	and Memo	ry Controller				
Image: Controller 2.10.b Image: Controller 2.10.b Image: Controller 5.02.a Image: Controller 1.00.b Image: Controller 3.00.a Image: Controller 1.01.a Image: Controller		*	Block RAM	(BRAM) Block	1.00.a			
Multi-Port Memory Controll 5.02.a XPS BRAM Controller 1.00.b XPS Multi-Channel Externa 3.00.a XPS System ACE Interface 1.01.a PCI Project Controller MicroBlaze 7.20.b Utility Project Local pcores		- 	LMB BRAM	l Controller	2.10.b			
Image: Second Controller 1.00.b Image: Second Controller 3.00.a Image: Second Controller 1.01.a Image: PCI Image: Second Controller Image: Processor 7.20.b Image: Project Local pcores 7.20.b		- 	Multi-Port	Memory Control	I 5.02.a			
XPS Multi-Channel Externa 3.00.a XPS System ACE Interface 1.01.a PCI Project Controller MicroBlaze 7.20.b Utility Project Local pcores		- <u>7</u>	XPS BRAM		1.00.b			
POI Peripheral Controller Processor MicroBlaze 7.20.b Project Local pcores		, N	XPS Multi-	Lhannei Externa	1 3.00.a			
Peripheral Controller Processor MicroBlaze 7.20.b Utility Project Local pcores			APD Dyste	III ACE Internate	I.UI.a			
Processor MicroBlaze 7.20.b D Utility Project Local pcores		🗄 - Periphe	ral Controlle	er				
MicroBlaze 7.20.b Dtility Project Local pcores		Process	or					
i ⊕ Utility ⊡ Project Local pcores	🚽 📩 MicroBlaze 7.20.b							
Project Local pcores	🗈 Utility							
	-	Project Loca	l pcores					
		USER			1.00 ->			
		3	LCD_IP		1.00.a			
<	<							
Project Applications IP Catalog	Pro	piect An	plications	IP Catalog				

Az IP modul (pl. GPIO) csatlakoztatása a rendszerhez:

- Átnevezés: kattintsunk az IP modul nevére, majd írjuk át
- Csatlakoztatás a buszra: Bus Interfaces fül

- A legördülő menüből válasszuk ki a megfelelő buszt (*mb_plb*), vagy
- Kattintsunk az IP modultól balra lévő üres körre

F	LL	Bus Interfaces Ports	Addresses			
	B B B	Name	Bus Name	ІР Туре	IP Version	IP Classification
		😥 microblaze_0		🚖 microblaze	7.20.b	Processor
		dlmb		👷 lmb_v10	1.00.a	LMB Bus
		ilmb		🙀 lmb_v10	1.00.a	LMB Bus
		mb_plb		🙀 plb_v46	1.04.a	PLBV46 Bus
		<u>■</u> dlmb_cntlr		🚖 lmb_bram_if_cntlr	2.10.Ь	Memory Controller
	<u> </u>	🖅 ilmb_cntlr		🙀 lmb_bram_if_cntlr	2.10.b	Memory Controller
		🖭 SRAM		📩 xps_mch_emc	2.00.a	Memory Controller
		😟 Imb_bram		🐈 bram_block	1.00.a	Memory
		🗄 chipscope_plbv46_iba_0		🐈 chipscope_plbv46_iba	1.03.a	Peripheral
×		🖅 debug_module		👷 mdm	1.00.f	Debug
		i∎ plb_user_ip_0		🚭 plb_user_ip	1.00.a	Peripheral
		📃 🖅 LEDs_Displays		🐈 xps_gpio	1.00.a	Peripheral
		Switches_Buttons		🐈 xps_gpio	1.00.a	Peripheral
		🗐 my_gpio		👷 xps_gpio	2.00.a	Peripheral
6	<u> </u>	SPLB	No Connection 🛛 💌			
		🖅 xps_intc_0	No Connection	🙀 xps_intc	1.00.a	Interrupt Controller
		🗈 xps_timer_1	New Connection	🚖 xps_timer	1.01.a	Peripheral
		⊡ R5232		🙀 xps_uartlite	1.01.a	Peripheral
		chinecone icon 0		📥 chinecone icon	1.04 ->	тр

Az IP modul (pl. GPIO) csatlakoztatása a rendszerhez:

• A portok bekötése: Ports fül

BME-MI'

- A legördülő menüből válasszuk ki a megfelelő elemet
- No Connection: az adott port nincs bekötve
- New Connection: adott portra csatlakozó új vonal létrehozása
- Make External: az adott port kivezetése az FPGA I/O lábakra
- Meglévő vonal kiválasztása

😟 - LEDs_Displays			
• Switches_Buttons			
i⊒~ mγ_gpio			
	No Connection	💙 I	[0:(C_GPIO_WIDTH-1)]
GPIO_IO_O	No Connection	💌 O	[0:(C_GPIO_WIDTH-1)]
GPIO_IO_T	No Connection	<u> </u>	[0:(C_GPIO_WIDTH-1)]
GPIO_IO	No Connection	≥]0	[0:(C_GPIO_WIDTH-1)]
⊕ xps_intc_0	No Connection		
i	New Connection		
🕀 - R5232	Make External		
⊕ chipscope_icon_0			
E clock_generator_0			

Az IP modul (pl. GPIO) csatlakoztatása a rendszerhez:

- A portok bekötése: Ports fül
 - Make External: új elemmel bővül a külső portok listája
 - Átnevezés: kattintsunk a külső port nevére, majd írjuk át
 - Az UCF fájlban az itt megadott portneveket kell használni

(+)	Bus Interfaces	Ports	Addresses				
Nar	ne			Net	Net		Range
<u> </u>	External Ports						
	fpga_0_R52	732_RX_pir	,	fpga_0_RS232_RX	~	I 💌	
	fpga_0_R52	732_TX_pin	1	fpga_0_RS232_TX	~	0 💌	
	fpga_0_LED	ls_Displays	_GPIO_d_out_	pin fpga_0_LEDs_Displays_GPIO_d_	out 💌	0 💌	[0:24]
	fpga_0_5wi	tches_Butt	ons_GPIO_in_j	nin fpga_0_Switches_Buttons_GPIO	in 🔽	I 💌	[0:11]
	fpga_0_SRA	tM_Mem_A	_ <i>pin</i>	fpga_0_SRAM_Mem_A	*	0 💌	[15:31]
	fpga_0_SRA	tM_Mem_D	ìQ_pin	fpga_0_SRAM_Mem_DQ	*	IO 💌	[0:7]
	fpga_0_SRA	tM_Mem_C	YEN_pin	fpga_0_SRAM_Mem_OEN	*	0 💌	[0:0]
	fpga_0_SRA	tM_Mem_C	EN_pin	fpga_0_SRAM_Mem_CEN	*	0 💌	[0:0]
	fpga_0_SRA	tM_Mem_V	VEN_pin	fpga_0_SRAM_Mem_WEN	*	0 💌	
	sys_clk_pin			dcm_clk_s	*	I 💌	
	sys_rst_pin			sys_rst_s	×	I 💌	
	<i>5p(_ss</i>			plb_user_ip_0_spi_ss	×	0 💌	
	spi_sck			plb_user_ip_0_spi_sck	*	0 💌	
	spi_miso			plb_user_ip_0_spi_miso	*	I 💌	
	spi_mosi			plb_user_ip_0_spi_mosi	~	0 💌	
	vga_vsync			plb_user_ip_0_vga_vsync	~	0 💌	
	vga_hsync			plb_user_ip_0_vga_hsync	×	0 💌	
	vga_b			plb_user_ip_0_vga_b	×	0 💌	[1:0]
	vga_g			plb_user_ip_0_vga_g	~	0 💌	[1:0]
	vga_r			plb_user_ip_0_vga_r	×	0 💌	[1:0]
	ps2_clock			plb_user_ip_0_ps2_clock	*	I 💌	
	ps2_data			plb_user_ip_0_ps2_data	*	I 💌	
		01_01		my_gpio_GPIO_IO	*	IO 💌	[0:31]

Megszakításkérő vonal bekötése a megszakítás vezérlőbe:

- Periféria megszakításkérő vonala: New Connection
- Megszakítás vezérlő *Intr* portja: kattintsunk a gombra → ablak
 - Baloldali lista: a még nem csatlakoztatott IRQ vonalak
 - Jobboldali lista: a már csatlakoztatott IRQ vonalak
 - Megszakításkérő vonal csatlakoztatása
 - Megszakításkérő vonal eltávolítása

BME-MIT

– Megszakítások priorításának beállítása

Potential Interrupt Connection(s)		Connected Interrupt(s)	Prior
mb_plb:Bus_Error_Det mdm_0:Interrupt		RS232_DCE_Interrupt DIP_Switches_4Bit_IP2INTC_Irpt Buttons_4Bit_IP2INTC_Irpt xps_timer_0_Interrupt	Low 쟙
	÷.		모 High
			rel

Az IP modul (pl. GPIO) csatlakoztatása a rendszerhez:

• Cím hozzárendelés: Addresses fül

BME-MI'

- Generate Addresses gomb: a címek újragenerálása
- A báziscím módosítása: kattintsunk rá és írjuk át
- A címtartomány méretének módosítása: a legördülő menüből válasszuk ki az új méretet

Bus Interfaces	Ports	Addresses						📊 Generat	e Addresses
Instance		Bas	e Name	Base Address	High Address	Size		Bus Interface(s)	Bus Name
🚊 microblaze_0's A	ddress Ma	ip							
dlmb_cntlr		C_B	BASEADDR	0x00000000	0x00001FFF	8K	×	SLMB	dlmb
ilmb_cntlr		С_В	BASEADDR	0x00000000	0x00001FFF	8K	~	SLMB	ilmb
Switches_Buttons C		C_B	BASEADDR	0x81400000	0x8140FFFF	64K	~	SPLB	mb_plb
- LEDs_Displays C		C_B	BASEADDR	0x81420000	0x8142FFFF	64K	~	SPLB	mb_plb
xps_intc_0			BASEADDR	0x81800000	0x8180FFFF	64K	~	SPLB	mb_plb
xps_timer_1	xps_timer_1 (BASEADDR	0x83C00000	0x83C0FFFF	64K	~	SPLB	mb_plb
- SRAM		C_M	4EM0_BASEADDR	0x83C20000	0x83C3FFFF	128K	~	SPLB	mb_plb
RS232		C_B	BASEADDR	0x84000000	0x8400FFFF	64K	~	SPLB	mb_plb
└── plb_user_ip_0 C_M		4EM0_BASEADDR	0xC9800000	0xC980FFFF	64K	~	SPLB	mb_plb	
🖃 Unmapped Addr	esses								
🦾 my_gpio		C_B	BASEADDR			U	~	SPLB	mb_plb

Az IP modul (pl. GPIO) konfigurálása:

- A System Assembly nézet → jobb kattintás az IP nevén → menü
 - Az IP modul konfigurálása
 - Az IP modul leíró fájl megtekintése/szerkesztése
 - A változások megtekintése
 - Az IP modul adatlapjának megtekintése
 - A HDL forrásfájlok megtekintése/szerkesztése
 - Eszközmeghajtó

- A meghajtó leíró fájl megtekintése/szerkesztése
- API dokumentáció
- Az IP modul törlése

😟 - LEDs_Displays	Cooffering ID	ps_gpio	2.00.a
🗄 - Switches_Butto	Configure IP	os_gpio	2.00.a
🗄 xps_intc_0	Uieur MDD	os_intc	2.00.a
⊞ xps_timer_0	VIEW MPD	ps_timer	1.01.a
🕀 - R5232	View IP Modifications (Change Log)	os_uartlite	1.01.a
- chipscope_icon_	View PDF Datasheet	hipscope_icon	1.04.a
- clock_generato	Browce HDL Sources	ock_gener	3.01.a
- proc_sys_reset		oc_sys_re	2.00.a
	Driver: gpio_v2_13_a	View MDI	D
	Delete Instance	View API	Documentation
	Make This IP Local		

Az IP modul (pl. GPIO) konfigurálása: Configure IP... menüpont



Az IP modul konfigurációs beállításai:

- A példában használt GPIO modul beállításai
 - Megszakítás engedélyezése
 - I/O csatornák száma: 1 vagy 2
 - Szélesség: 1 32 bit
 - Az adatregiszter alapértelmezett értéke
 - Az irányregiszter alapértelmezett értéke
 - Kétirányú vagy csak bemenet
- Részletek az IP modulok adatlapjaiban



Create and Import Peripheral Wizard:

- Hardware menü → Create or Import Peripheral... vagy
- A 🎇 gomb a toolbar-on
- Új periféria létrehozása

BME-MI

• A perifériát az XPS projekt könyvtárában tároljuk

🔶 Create and Import Peripheral Wizard 🛛 👔	Create Peripheral
Peripheral Flow Indicate if you want to create a new peripheral or import an existing peripheral.	Repository or Project Indicate where you want to store the new peripheral.
This tool will help you create templates for a new EDK CoreConnect peripheral, or help you import an existing EDK CoreConnect peripheral into an XPS project or EDK repository. The interface files and directory structures required by EDK will be generated. Select flow Create Templates Select flow Tereste templates for a new peripheral Import existing peripheral Import existing peripheral	A new peripheral can be stored in an EDK repository, or in an XPS project. When stored in an EDK repository, the peripheral can be accessed by multiple XPS projects. To an EDK user repository (Any directory outside of your EDK installation path) Repository: Browse Repository: Repository: Rep
Implement/Verify Flow description This tool will create HDL templates that have the EDK compliant port/parameter interface. You will need to implement the body of the peripheral.	To an grs project Project: E:\Logsystexample_designstxup_edk2 Prowge
Options Load an existing .cip settings file (saved from a previous session) Browse	Peripheral will be placed under: E:\Logsys\example_designs\xup_edk2\pcores
More Info Cancel	More Info Cancel Cancel

Create and Import Peripheral Wizard:

- A periféria nevének, verziójának és leírásának megadása
- A busz interfész kiválasztása: <u>PLB v4.6</u> vagy FSL

Create Peripheral	? ▼ Create Peripheral	? 🗙
Name and Version Indicate the name and version of your peripheral.	Indicate the bus interface supported by your peripheral.	T.
Enter the name of the peripheral (upper case characters are not allowed). This name will be used as the top HDL design entity. Ngme: my_peripheral Version: 1.00.a Major revision: Mjor revision: 1 00 a	ATTENTION ATTENTION Refer to the following documents to get a better understanding of how user peripherals connect to the CoreConnect(TM) bus PLB v4.6 interconnect and the FSL interface. NOTE - Select the bus interface above and the corresponding link(s) will appear below for that interface. CoreConnect Specification for single data beat transfer. PLB (v4.6) Slave IPIF Specification for single data beat transfer. PLB (v4.6) Master IPIF Specification for burst data transfer. PLB (v4.6) Master IPIF Specification for burst data transfer. PLB (v4.6) Master IPIF Specification for burst data transfer. PLB (v4.6) Master IPIF Specification for burst data transfer. PLB (v4.6) Master IPIF Specification for burst data transfer. PLB (v4.6) Master IPIF Specification for burst data transfer.	
Logical library name: my_peripheral_v1_00_a All HDL files (either created by you or generated by this tool) that are used to implement this peripheral must be compiled into the logical library name above. Any other referred logical libraries in your HDL are assumed to be available in the XPS project where this peripheral is used, or in E repositories indicated in the XPS project settings.	K Note Xilinx recommends using the new PLB v4.6 bus standard, however, the wizard still supports the OPB and PLB v3.4 bus interfaces. Enable OPB and PLB v3.4 bus interfaces	
More Info	cel More Info < Back Next > Cance	3

Create and Import Peripheral Wizard:

• IPIF slave szolgáltatások

- Szoftveres reset
- Regiszterek, memória tartomány, FIFO
- Megszakítás vezérlő
- IPIF master szolgáltatások

BME-MIT

– Tipikusan összetett perifériák (pl. Ethernet) esetén, nem fogjuk használni



Create and Import Peripheral Wizard:

- Master/slave interfész teljesítménye: burst adatátvitel
 - Nagyteljesítményű perifériák (pl. memória vezérlő) esetén
 - Nem fogjuk használni
- Adatbusz szélessége

- Nem burst adatátvitel esetén: mindig 32 bit
- Burst adatátvitel esetén: 32, 64 vagy 128 bit

-Slave p	performance
Slave ; you ca transfe	peripherals support single beat read/write data transfers by default. If performance is key to the slave peripheral (i.e. memory controllers), an have the burst transfer support turned on - this feature provides higher data transfer rates for the PLB Cacheline access and enables the er protocol for PLB Fixed Length Burst operations.
🔲 Bu	urst and cache-line support
-Data w	vidth
The na slaves master	ative bit width of the internal data bus may be less than or equal to the PLB slave interface data bus width (it is always 32-bit for non-burst : and can be 32, 64, or 128-bit for slaves supporting burst). To conserve FPGA resources, set the value to be the same as the smallest PLB r in the system that may interact with your peripheral.
Native	e data width: 32 👽 bit

Create and Import Peripheral Wizard:

- Slave szolgáltatások: FIFO
 - Pufferelés biztosítása a PLB busz és az IP modul között
 - Írás és olvasás a PLB IPIF regiszterein keresztül
 - Részletek az adatlapban
- A FIFO-k beállításai

- Írási és olvasási FIFO engedélyezése
- Csomag mód engedélyezése
- Szabad helyek számának jelzése
- − FIFO mérete → LUT/BRAM

✓ Include <u>R</u> ead FIFO
Use packet mode
✓ Use vacancy calculation
Number of Read FIFO entries: 16
Read FIFD Bus Bus Bus Control Bus Control Bus Control Bus Control Control Bus Control Co
Datasheet

Create and Import Peripheral Wizard:

- Slave szolgáltatások: megszakítás vezérlő a perifériában
 - IP modul megszakítások → egy vonal a CPU vagy az INTC felé
 - Vezérlés a PLB IPIF regiszterein keresztül
 - Részletek az adatlapban

• A megszakítás vezérlő beállításai

- Device Interrupt Source Controller: belső IPIF megszakítások kezelése
- Prioritás enkóder: Device ISC megszakítások azonosítása
- Felhasználói logika megszakítások száma
- Felhasználói logika megszakítások feldolgozása
 - Nincs feldolgozás: normál vagy invertált
 - Szint detektálás: alacsony aktív vagy magas aktív
 - Él detektálás: felfutó vagy lefutó
- Egyszerű perifériák esetén:
 - Nincs szükség többszintű megszakítás rendszerre
 - Az IRQ vonala(ka)t közvetlenül a CPU-ba vagy az INTC-be vezetjük

Create and Import Peripheral Wizard:

BME-MIT

• Slave szolgáltatások: megszakítás vezérlő



Create and Import Peripheral Wizard:

- Slave szolgáltatások: regiszterek
 - Regiszterek száma: 1 4096

BME-MIT

 Címdekódolás az IPIF-ben: minden regiszterhez külön írás (*Bus2IP_WrCE*) és olvasás (*Bus2IP_RdCE*) engedélyező jel



FPGA labor

Regiszter interfész:

- Jelek az IPIF-től a felhasználói modul felé
 - Bus2IP_WrCE: írás engedélyező jel(ek)
 - Bus2IP_RdCE: olvasás engedélyező jel(ek)
 - Bus2IP_BE: bájt engedélyező jelek
 - Bus2IP_Data: 32 bites írási adatbusz
- Jelek a felhasználói modultól az IPIF felé
 - IP2Bus_Data: 32 bites olvasási adatbusz
 - IP2Bus_WrAck: írási műveletek nyugtázó jele
 - IP2Bus_RdAck: olvasási műveletek nyugtázó jele
 - IP2Bus_Error: hiba jelzése



Regiszter interfész: írás és olvasás

Bus2IP_Clk		<u> </u>	<u> </u>			<u> </u>	<u> </u>	<u> </u>	
Bus2IP_WrCE[3]		/	\						
Bus2IP_RdCE[1]							\		
Bus2IP_BE	xxxx	КВЕО	Χ	XXXX	 Х	E1	X	xxxx	
Bus2IP_Data	xxxx	6F4A	Х		 ХХХ	×			
Regiszter 3	FF56		X		6F4/	A			
IP2Bus_Data			0		Reg. 1	értéke	X	0	
IP2Bus_WrAck			\						
IP2Bus_RdAck							<u>\</u>	<u> </u>	
IP2Bus_Error									

Create and Import Peripheral Wizard:

- Slave szolgáltatások: memória címtartomány
 - Címtartományok száma: 1 8

BME-MIT

– Minden címtartományhoz külön kiválasztó jel (Bus2IP_CS)





Memória címtartományok:

- Jelek az IPIF-től a felhasználói modul felé
 - Bus2IP_CS: memória címtartomány kiválasztó jel(ek)
 - Bus2IP_RNW: írás (0) / olvasás (1) kiválasztó jel
 - Bus2IP_Addr: 32 bites címbusz
 - Bus2IP_BE: bájt engedélyező jelek
 - Bus2IP_Data: 32 bites írási adatbusz
- Jelek a felhasználói modultól az IPIF felé
 - IP2Bus_Data: 32 bites olvasási adatbusz
 - IP2Bus_WrAck: írási műveletek nyugtázó jele
 - IP2Bus_RdAck: olvasási műveletek nyugtázó jele
 - IP2Bus_Error: hiba jelzése

Memória címtartományok: írás és olvasás

Bus2IP_Clk								
Bus2IP_CS[0]			\					
Bus2IP_CS[1]								<u> </u>
Bus2IP_RNW		\						
Bus2IP_BE	*xxx	BE0	Χ	XXXX	BE1	_X	хххх	<u> </u>
Bus2IP_Addr	*xxx	Addr0	Χ	ХХХХ	Addr1	X	хххх	
Bus2IP_Data	XXXX	Data0	Χ		ХХХХ			
Mem0[Addr0]	0		Χ		Data0			<u>∔</u>
IP2Bus_Data			0		χΜε	m1	0	
IP2Bus_WrAck			<u>\</u>					<u> </u>
IP2Bus_RdAck					/	<u> </u>		<u> </u>
IP2Bus_Error								<u> </u>

BME-MIT /

A bájt engedélyező jelek (Bus2IP_BE) értelmezése:

- Big-Endian formátum, fordított bit indexelés (MSb a 0. bit)
- Szavas címzés → az alsó két címbitet (30. és 31.) nem vesszük figyelembe, helyettük vannak a bájt engedélyező jelek
 - Írásnál: értelmezés az alábbi táblázat szerint

BME-MIT

– Olvasásnál: nincs értelmezve, a processzor rendezi át a bájtokat

		Write Data Bus Bytes						
Byte_Enable [0:3]	Transfer Size	Byte0	Byte1	Byte2	Byte3			
0001	byte				rD[24:31]			
0010	byte			rD[24:31]				
0100	byte		rD[24:31]					
1000	byte	rD[24:31]						
0011	halfword			rD[16:23]	rD[24:31]			
1100	halfword	rD[16:23]	rD[24:31]					
1111	word	rD[0:7]	rD[8:15]	rD[16:23]	rD[24:31]			

Create and Import Peripheral Wizard:

- IP Interconnect (IPIC) vonalak kiválasztása
- Szimulációs modell generálása a perifériához (ModelSim)



Create and Import Peripheral Wizard:

- Az user_logic modul HDL forráskódjának nyelve
 - VHDL (a periféria top-level modulja mindig VHDL nyelvű)
 - Verilog

BME-MIT

- ISE projekt létrehozása a perifériához
- Eszközmeghajtó sablon létrehozása a perifériához

Peripheral (VHDL)	Note Should the peripheral interface (ports/parameters) or file list change, you will need to regenerate the EDK interface files using the import functionality of this tool.
IPIF (VHDL)	Generate stub 'user_logic' template in <u>V</u> erilog instead of VHDL
User Logic (Verilog)	Generate template driver files to help you implement software interface

Összegzés a létrehozandó perifériáról

A perifériákhoz tartozó könyvtárstruktúra:



Microprocesspr Peripheral Description (MPD) fájl:

- A periféria leírását tartalmazza
 - Paraméterek és alapértelmezett értékeik
 - Busz interfész(ek)
 - Portok

- Számunkra lényeges
 - Paraméterek hozzáadása
 - Portok hozzáadása
 - Normál kimenet, bemenet
 - Háromállapotú kimenet, I/O vonal
 - Megszakításkérő vonal

Microprocesspr Peripheral Description (MPD) fájl:

- Részletes szintaxis: EDK\doc\usenglish\psf_rm.pdf
- Paraméter hozzáadása: PARAMETER kulcsszó
 PARAMETER név = alapértelmezett_érték
 - Az egyes opciókat vesszővel kell elválasztani
 - Adattípus megadása
 DT = integer, real, string, stb.
 - Értéktartomány megadása

- Tartomány: RANGE = ((alsó érték:felső érték))
- Felsorolás: RANGE = ((8,16,32,64)
- Vegyes: RANGE = ((1:4,8,16) → 1, 2, 3, 4, 8, 16)

Microprocesspr Peripheral Description (MPD) fájl:

- Port hozzáadása: PORT kulcsszó PORT név =
 - Az egyes opciókat vesszővel kell elválasztani
 - Irány megadása DIR = I, O vagy IO

BME-MIT

- Szélesség megadása (A és B: nemnegatív egészek) VEC = [A:B]
- Megszakításkérő kimenet (1 bites kimeneti port esetén) SIGIS = INTERRUPT

SENSITIVITY = EDGE RISING,EDGE FALLING, (lefutó élre) LEVEL HIGH, LEVEL LOW

(felfutó élre) (magas szintre) (alacsony szintre)

Microprocesspr Peripheral Description (MPD) fájl:

- Port hozzáadása: PORT kulcsszó
 PORT név = ""
 - Háromállapotú kimenet (kimeneti vagy I/O port esetén)
 THREE_STATE = TRUE
 - Közös kimenet engedélyező jel: **ENABLE** = **SINGLE**
 - Egyedi kimenet engedélyező jel: **ENABLE** = **MULTI**
 - Háromállapotú kimenet vagy I/O esetén a modul portjai
 - Kimenet: [port név]_O
 - Bemenet: [port név]_I (csak I/O port esetén)
 - Kimenet engedélyezés: [port név]_T
 - ALACSONY AKTÍV JEL(EK)!
 - Közös: 1 bites

BME-MIT

- Egyedi: a port szélességével egyező vektor



Microprocesspr Peripheral Description (MPD) fájl:

```
## Saját paraméterek
PARAMETER PORT WIDTH = 8, DT = INTEGER, RANGE = (1:32)
PARAMETER CLK FREQ = 50000000, DT = INTEGER
## Megadható szélességű I/O port (egyedi kimenet engedélyezés)
## output wire [PORT WIDTH-1:0] my io O
## input wire [PORT WIDTH-1:0] my io I
## output wire [PORT WIDTH-1:0] my io T
PORT my io = "", DIR = O, VEC = [(PORT WIDTH-1):0], THREE STATE = TRUE,
ENABLE = MULTI
## 4 bites normál bemenet
## input wire [0:3] my input
PORT my_input = "", DIR = I, VEC = [0:3]
## Megszakításkérő kimenet (megszakítás felfutó élre)
## output wire my irq
PORT my irq = "", DIR = 0, SIGIS = INTERRUPT, SENSITIVITY = EDGE RISING
```

BME-MIT /

Peripheral Analyze Order (PAO) fájl:

- A szintézishez szükséges fájlok listáját tartalmazza
- Saját HDL fájl hozzáadása
 lib [könyvtár név] [fájl név] [nyelv]
 - Könyvtár név: esetünkben a periféria neve és verziója
 - Fájl név: a HDL forrásfájl neve (a kiterjesztés opcionális)
 - Nyelv: vhdl vagy verilog

lib plbv46_slave_single_v1_01_a plbv46_slave_single vhdl
lib my_peripheral_v1_00_a user_logic verilog
lib my_peripheral_v1_00_a my_peripheral vhdl

Saját HDL forrásfájlok lib my_peripheral_v1_00_a fifo verilog lib my_peripheral_v1_00_a ps2_interface vhdl

GPIO periféria az alábbi paraméterekkel:

- A port szélessége legyen paraméterben megadható
 1 és 32 bit közötti érték
- Az egyes bitekhez tartozó kimeneti meghajtók legyenek egyedileg engedélyezhetők, illetve tilthatók
- Megszakításkérés, ha megváltozik egy bemenet értéke
- Regiszterkészlet: 32 bites regiszterek

Bázis + 0x00	R/W	Adatregiszter: a kimeneten megjelenő adat
Bázis + 0x04	R/W	Irányregiszter: a kimenetek engedélyezése
Bázis + 0x08	R	Az I/O kábak aktuális értéke
Bázis + 0x0C	R/W	Megszakítás engedélyező regiszter (bitenként)

A periféria generálása a varázslóval:

• Beállítások

- Slave szolgáltatások
 - Regiszter: 4 darab regiszter szükséges
 - A többi szolgáltatás (FIFO, memória, stb.) nem kell
 - Burst adatátvitelre nincs szükség
- Master szolgáltatások: nem kell
- A user_logic modul nyelve: Verilog
- Adjuk hozzá a létrehozott perifériát a rendszerhez
 - Így szerkeszteni tudjuk a szükséges fájlokat az XPS-ből.
 - A busz és a portok bekötése majd később
- Módosítani kell
 - A user_logic.v fájlt
 - A [periféria név].vhd fájlt (top-level modul)
 - A [periféria név]_v2_1_0.mpd fájlt

BME-MIT /

A user_logic.v fájl módosítása:

- Jobb kattintás a periféria nevére → Browse HDL Sources...
- Modul fejléc: saját portok megadása

module user_log:	ic (
// ADD US	ER PORTS	BELOW	THIS	LINE	
gpio_0,					
gpio_I,					
gpio_T,					
irq,					
// ADD US	ER PORTS	ABOVE	THIS	LINE	

• Saját paraméterek megadása

// -- ADD USER PARAMETERS BELOW THIS LINE -----parameter GPIO_WIDTH = 8;
// -- ADD USER PARAMETERS ABOVE THIS LINE ------



A user_logic.v fájl módosítása:

• Saját portok típusának és szélességének definiálása

```
// -- ADD USER PORTS BELOW THIS LINE -----
output reg [GPIO_WIDTH-1:0] gpio_0;
input wire [GPIO_WIDTH-1:0] gpio_I;
output reg [GPIO_WIDTH-1:0] gpio_T;
output wire irq;
// -- ADD USER PORTS ABOVE THIS LINE ------
```

- A nyugtázó- és hibajelek meghajtása: nem kell késleltetés
 - A beírandó adatot azonnal be tudjuk írni a regiszterbe
 - A beolvasandó adat azonnal rendelkezésre áll (regiszter olvasás)

```
//A nyugtázó- és hibajelek meghajtása.
assign IP2Bus_WrAck = |Bus2IP_WrCE;
assign IP2Bus_RdAck = |Bus2IP_RdCE;
assign IP2Bus_Error = 0;
```



A user_logic.v fájl módosítása:

BME-MIT

- Az írási adatbusz bit sorrendjének megfordítása
 - Célszerű a fordított bit indexelés miatt (MSb a 0. bit, LSb a 31. bit)

```
//Az írási adatbusz bitjeinek megfordítása
reg [C_SLV_DWIDTH-1:0] wr_data;
integer i;
always @(*)
for (i = 0; i < C_SLV_DWIDTH; i = i + 1)
wr_data[i] <= Bus2IP_Data[C_SLV_DWIDTH-i-1];</pre>
```

Az adatregiszter: a gpio_O port reg típusú, csak 32 bites írás

```
//A GPIO port adatregisztere
always @(posedge Bus2IP_Clk)
if (Bus2IP_Reset)
gpio_0 <= 0;
else
if (Bus2IP_WrCE[0] && (Bus2IP_BE == 4'b1111))
gpio_0 <= wr_data[GPI0_WIDTH-1:0];</pre>
```

FPGA labor

A user_logic.v fájl módosítása:

BME-MIT

• Az irányregiszter: a gpio_T port reg típusú, csak 32 bites írás

```
//A GPIO port irányregisztere (reset: minden vonal bemenet).
always @(posedge Bus2IP_Clk)
    if (Bus2IP_Reset)
        gpio_T <= 32'hfffffff;
    else
        if (Bus2IP_WrCE[1] && (Bus2IP_BE == 4'b1111))
            gpio_T <= ~wr_data[GPIO_WIDTH-1:0];</pre>
```

A megszakítás engedélyező regiszter: csak 32 bites írás

```
//A megszakítás engedélyező regiszter.
reg [GPIO_WIDTH-1:0] irq_enable;
always @(posedge Bus2IP_Clk)
    if (Bus2IP_Reset)
        irq_enable <= 0;
    else
        if (Bus2IP_WrCE[3] && (Bus2IP_BE == 4'b111))
            irq_enable <= wr_data[GPIO_WIDTH-1:0];</pre>
```

A user_logic.v fájl módosítása:

- A bemenet szinkronizálása: mert aszinkron az órajelhez képest
- A megszakításkérő jelzés előállítása
 - Az adott bit bemenet
 - Az adott bitre engedélyezve van a megszakítás
 - Az adott bit értéke megváltozott

```
//A bemenet szinkronizálása (mert aszinkron az órajelhez képest).
reg [GPI0_WIDTH-1:0] sample0, sample1, sample2;
always @(posedge Bus2IP_Clk)
    if (Bus2IP_Reset)
        {sample2, sample1, sample0} <= 0;
    else
        {sample2, sample1, sample0} <= {sample1, sample0, gpio_I};
//A megszakításkérő jelzés előállítása (megszakítás felfutó élre).
assign irq = |((sample1 ^ sample2) & gpio_T & irq_enable);</pre>
```

A user_logic.v fájl módosítása:

• Az olvasási adatbusz meghajtása: ha nincs olvasás, akkor értéke 0

```
//Az olvasási adatbusz meghajtása.
reg [0:C_SLV_DWIDTH-1] rd_data;
always @(*)
    case (Bus2IP_RdCE)
        4'b1000: rd_data <= gpio_0;
        4'b0100: rd_data <= opio_T;
        4'b0010: rd_data <= sample1;
        4'b0001: rd_data <= irq_enable;
        default: rd_data <= 0;
    endcase
assign IP2Bus_data = rd_data;
endmodule
```



A top-level modul (VHDL fájl) módosítása:

- Az alábbi módosításokat két helyen kell végrehajtani
 - entity [periféria név] is...
 - componenet user_logic is...
- Paraméterek hozzáadása

-- ADD USER GENERICS BELOW THIS LINE ------GPIO_WIDTH : integer := 8;

```
-- ADD USER GENERICS ABOVE THIS LINE ------
```

• Portok hozzáadása





A top-level modul (VHDL fájl) módosítása:

- Az alábbi módosításokat egy helyen kell végrehajtani

 USER LOGIC I : component user logic...
- Paraméterek leképzése

Portok leképzése



Az MPD fájl módosítása:

- Paraméterek hozzáadása
 - Közvetlenül a már meglévő paraméterek elé írjuk be

Saját paraméterek
PARAMETER GPIO_WIDTH = 8, DT = INTEGER, RANGE = (1:32)

Portok hozzáadása

Közvetlenül a már meglévő portok elé írjuk be

```
## Saját portok
PORT gpio = "", DIR = IO, VEC = [(PORT_WIDTH-1):0], THREE_STATE = TRUE,
ENABLE = MULTI
PORT irq = "", DIR = O, SIGIS = INTERRUPT, SENSITIVITY = EDGE_RISING
```



A saját periféria beillesztése a rendszerbe:

- A módosítások figyelembe vétele
 - Project menü → Rescan User Repositories vagy
 - A is gomb a toolbar-on
- Ezután a szokásos módon lehetséges:
 - Paraméterek beállítása
 - Csatlakoztatás a buszra
 - Portok bekötése
 - Címek kiosztása

<u>A</u> ll Buses	HU 🏋 🥏
GPIO_WIDTH	8
C_BASEADDR	0xcde00000
C_HIGHADDR	0xcde0ffff

i∎ mdm_0				
<pre>[my_peripheral_0</pre>	No Connection			
gpio	No Connection	U	[(PORT_WIDTH-T):0]	
····· irq	No Connection	✓ 0		INTERRUPT
± LEDS_BBIC				
🕀 dip				
•				

Perifériák tesztelése

Xilinx Microprocessor Debug (XMD) alkalmazás:

- Alapfunkciók tesztelése: memória írás és olvasás
- Az XMD indítása:
 - − Debug menü → Launch XMD... vagy
 - A gomb a toolbar-on
- Első indításnál: a debug opciók beállítása
 - Az alapértelmezett beállítások megfelelőek
 - Connection type: Hardware
 - JTAG Cable: Auto
 - Auto-Discover JTAG Chain Definition: engedélyezve



Perifériák tesztelése

Fontosabb Xilinx Microprocessor Debug (XMD) parancsok:

Memória írása: mwr [cím] [adat] <w/h/b>

- Adatformátum: w (32 bit, alapértelmezett), h (16 bit), b (8 bit)
- A címet az adatformátumnak megfelelő határra kell igazítani
- Memória olvasása: mrd [cím] <olvasások_száma> <w/h/b>
 - Az olvasások számának megadása nem kötelező
 - Több olvasásnál a cím növekszik az adatformátum szerint
- Programkód letöltése: dow [elf_fájl_név]
 - Az elérési út megadásakor a \ karakter helyett a / karakter kell
- A processzor elindítása: run
- A processzor leállítása: stop
- A rendszer alapállapotba hozása: rst
- Kilépés az XMD programból: exit