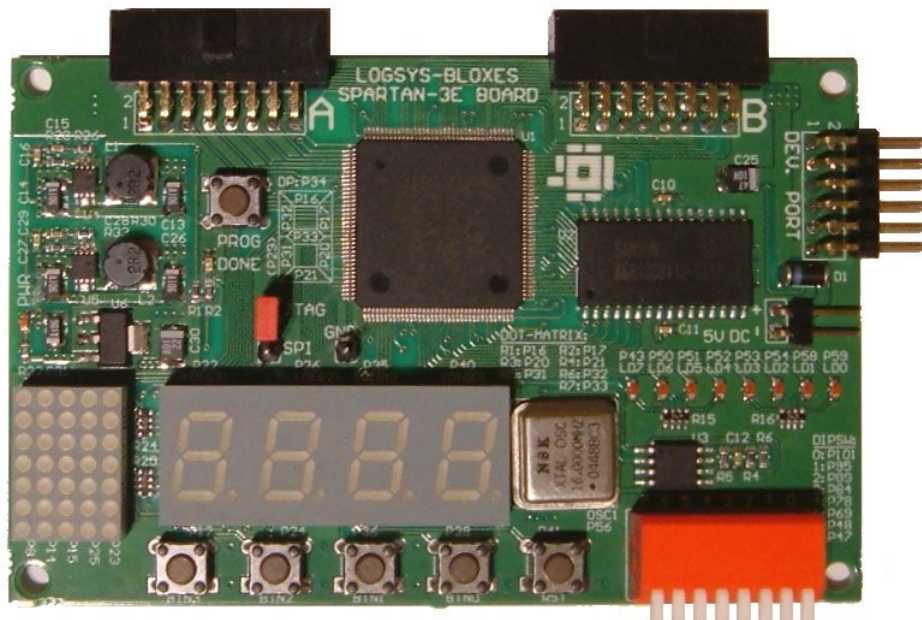


LOGSYS SPARTAN-3E FPGA KÁRTYA

FELHASZNÁLÓI ÚTMUTATÓ



Tartalomjegyzék

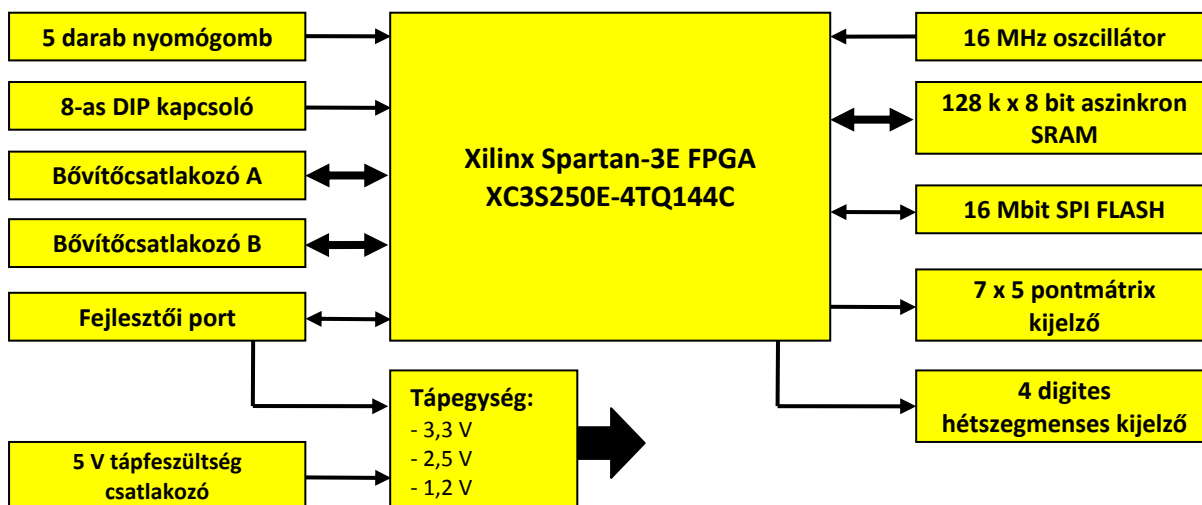
1	Bevezetés	1
2	Memóriák	3
2.1	Aszinkron SRAM	3
2.2	SPI buszos soros FLASH memória	3
3	Megjelenítő eszközök	4
3.1	LED-ek	4
3.2	Kijelzők	4
3.2.1	Hétszegmenses kijelző	4
3.2.2	Pontmátrix kijelző	4
3.2.3	Időmultiplexelt vezérlés	5
4	Beviteli eszközök	6
4.1	DIP kapcsoló	6
4.2	Nyomógombok	6
5	Órajel források	6
6	FPGA konfigurációs módok	6
7	LOGSYS fejlesztői port	7
8	Tápellátás	8
9	Bővítőcsatlakozók	8
10	A kártya kapcsolási rajza	9
10.1	FPGA	9
10.2	Csatlakozók, memóriák	10
10.3	LED-ek, kijelzők, DIP kapcsoló, nyomógombok	11
10.4	Tápegység	12
11	A kártyához tartozó UCF fájl	13
	Változások a dokumentumban	16

1 Bevezetés

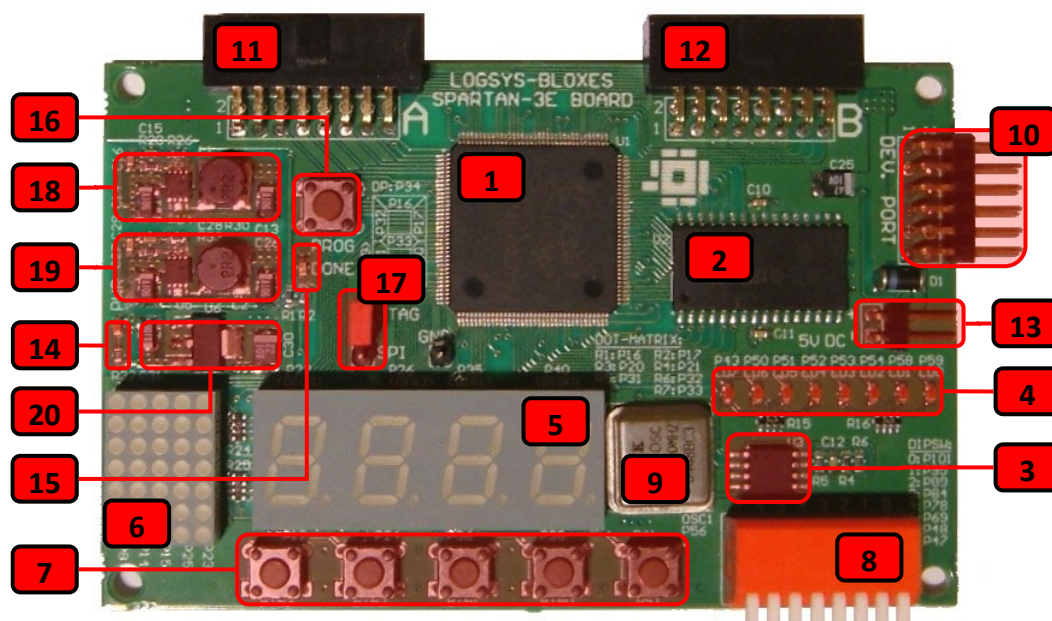
A LOGSYS Spartan-3E FPGA kártya egy egyszerű felépítésű, elsősorban kezdő felhasználók számára készült FPGA kártya. A felhasznált FPGA-nak köszönhetően azonban alkalmas összetettebb tervek megvalósítására is. A kártya blokkvázlata az 1-1. ábrán látható. A kártya felépítését az 1-2. ábra szemlélteti.

A kártyán az alábbi komponensek találhatók:

- Xilinx [XC3S250E-4TQ144C](#) típusú FPGA, amely lehetővé teszi összetettebb logikák és kisebb mikroproceszoros rendszerek megvalósítását. Az eszköz főbb jellemzői:
 - 250 ezer kapu (4896 LUT és flip-flop)
 - 12 darab 18 kbites blokk-RAM
 - 12 darab 18 x 18 bites előjeles szorzó
 - 4 darab DCM (Digital Clock Manager) modul
- Memóriák a program és az adatok tárolására:
 - Egy 128 k x 8 bites, 10 ns-os aszinkron SRAM (Samsung [K6R1008V1D-TI10](#))
 - Egy 16 Mbit SPI buszos soros FLASH memória (Winbond [W25P16](#) / [W25X16](#))
 - A soros FLASH memória konfigurációs memóriaként is szolgál az FPGA számára
- Megjelenítő eszközök:
 - 8 darab LED
 - 4 digitális hétszegmenses kijelző
 - 7 x 5 pontmátrix kijelző
- Beviteli eszközök:
 - 5 darab nyomógomb
 - 8-as DIP kapcsoló
- Egy 16 MHz-es oszcillátor
- Csatlakozó a LOGSYS fejlesztői kábel számára
- 2 darab csatlakozó a kiegészítő modulok számára:
 - 13 FPGA I/O láb (11 kétirányú, 2 csak bemenet)
 - 5 V és 3,3 V tápfeszültség kimenet



1-1. ábra: A LOGSYS Spartan-3E FPGA kártya blokkvázlata.



1-2. ábra: A LOGSYS Spartan-3E FPGA kártya.

A LOGSYS Spartan-3E FPGA kártya felépítése:

1. Xilinx XC3S250E-4TQ144C típusú FPGA
2. 128 k x 8 bites, 10 ns hozzáférési idejű aszinkron SRAM
3. Winbond W25P16 / W25X16 típusú 16 Mbytes SPI buszos soros FLASH
4. 8 darab LED
5. 4 digités hétszegmenses kijelző
6. 7 x 5 pontmátrix kijelző
7. 5 darab nyomógomb
8. 8-as DIP kapcsoló
9. 16 MHz-es oszcillátor
10. Csatlakozó a LOGSYS fejlesztői kábel számára (fejlesztői port)
11. Csatlakozó a kiegészítő modulok számára (A)
12. Csatlakozó a kiegészítő modulok számára (B)
13. 5 V tápfeszültség csatlakozó
14. A bekapcsolt tápfeszültséget jelző piros LED (PWR)
15. Az FPGA sikeres felkonfigurálását jelző zöld LED (DONE)
16. Az FPGA újrakonfigurálását elindító nyomógomb (PROG)
17. Az FPGA konfigurációs módját kiválasztó jumper
18. 3,3 V feszültséget előállító tápegység
19. 1,2 V feszültséget előállító tápegység
20. 2,5 V feszültséget előállító tápegység

2 Memóriák

2.1 Aszinkron SRAM

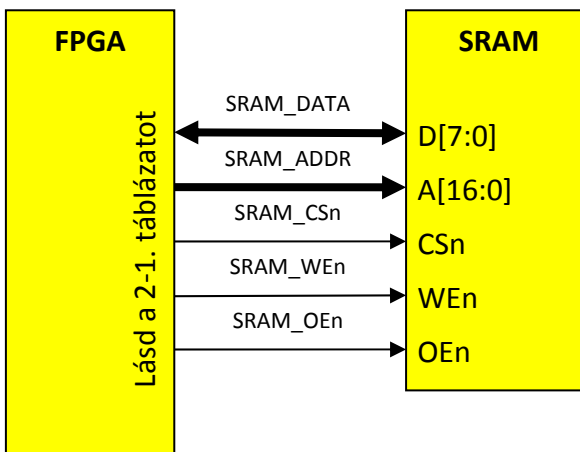
Az FPGA kártyán található Samsung [K6R1008V1D-T110](#) típusú 128 k x 8 bites, 10 ns elérési idejű aszinkron SRAM bekötését a 2-1. táblázat és a 2-1. ábra mutatja. A vezérlő jelek (CSn, WEn és OEn) aktív alacsony szintűek.

2-1. táblázat: Az SRAM bekötése.

Aadatbusz	
Jel	FPGA láb
D0	P60
D1	P74
D2	P75
D3	P76
D4	P93
D5	P94
D6	P106
D7	P105

Vezérlő jelek	
Jel	FPGA láb
CSn	P62
WEn	P77
OEn	P104

Címbusz	
Jel	FPGA láb
A0	P70
A1	P68
A2	P67
A3	P66
A4	P81
A5	P82
A6	P83
A7	P85
A8	P86
A9	P87
A10	P88
A11	P91
A12	P92
A13	P103
A14	P98
A15	P97
A16	P96



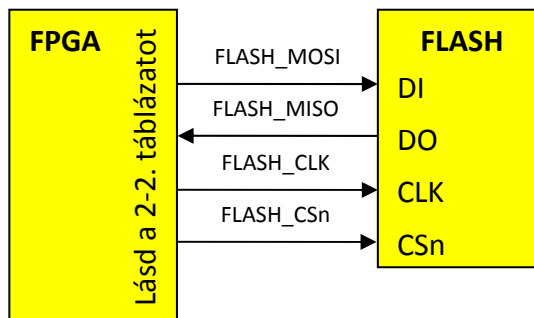
2-1. ábra: Az SRAM bekötése.

2.2 SPI buszos soros FLASH memória

A LOGSYS Spartan-3E FPGA kártyán található Winbond [W25P16](#) vagy [W25X16](#) típusú 16 Mbytes SPI buszos soros FLASH memória bekötését a 2-2. táblázat és a 2-2. ábra mutatja. A soros FLASH memória konfigurációs memóriaként is szolgál az FPGA számára. Az eszköz működéséről és használatáról részletesen annak adatlapjában olvashatunk, amely letölthető a gyártó honlapjáról. A CSn chip select jel aktív alacsony szintű.

2-2. táblázat: A FLASH memória bekötése.

FLASH	FPGA láb
DI (MOSI)	P44
DO (MISO)	P63
CLK	P71
CSn	P39



2-2. ábra: A FLASH memória bekötése.

3 Megjelenítő eszközök

3.1 LED-ek

A LOGSYS Spartan-3E FPGA kártyán található 8 darab LED bekötését a 3-1. táblázat mutatja. A LED-ek LD0-tól LD7-ig vannak számozva, a bal szélső LED az LD7, a jobb szélső LED az LD0. A LED-ek vezérlő jelei aktív magas szintűek.

3-1. táblázat: A LED-ek bekötése.

LED	LD7	LD6	LD5	LD4	LD3	LD2	LD1	LD0
FPGA láb	P43	P50	P51	P52	P53	P54	P58	P59

3.2 Kijelzők

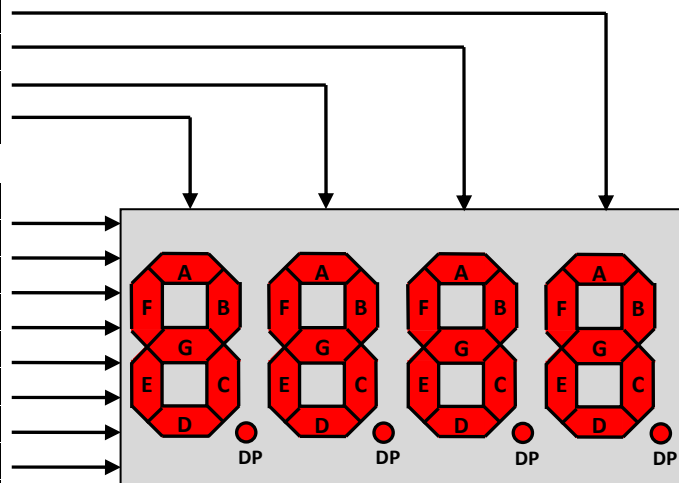
3.2.1 Hétszegmenses kijelző

A LOGSYS Spartan-3E FPGA kártyán található 4 digités hétszegmenses kijelző bekötését a 3-2. táblázat és a 3-1. ábra mutatja. A karakterek DIG0-tól DIG3-ig vannak számozva, a bal szélső karakter a DIG3, a jobb szélső karakter a DIG0. A hétszegmenses kijelző minden vezérlő jele aktív alacsony szintű. A szegmens jelek és a pontmátrix kijelző sor jelei közösek.

3-2. táblázat: A hétszegmenses kijelző bekötése.

Kiválasztó jel	FPGA láb
DIGn0	P40
DIGn1	P35
DIGn2	P26
DIGn3	P22

Szegmens	FPGA láb
SEGn0 (A)	P16
SEGn1 (B)	P17
SEGn2 (C)	P20
SEGn3 (D)	P21
SEGn4 (E)	P31
SEGn5 (F)	P32
SEGn6 (G)	P33
DP (tizedespont)	P34



3-1. ábra: A hétszegmenses kijelző bekötése.

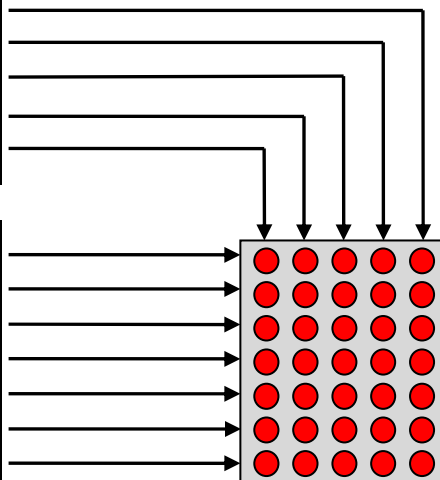
3.2.2 Pontmátrix kijelző

A LOGSYS Spartan-3E FPGA kártyán található 7 x 5 pontmátrix kijelző bekötését a 3-3. táblázat és a 3-2. ábra mutatja. A sorok jelölése fentről lefelé rendre ROW1-ROW7. Az oszlopok COL0-tól COL4-ig vannak számozva, a bal szélső oszlop a COL4, a jobb szélső oszlop a COL0. A pontmátrix kijelző minden vezérlő jele aktív alacsony szintű. A sor jelek és a hétszegmenses kijelző szegmens jelei közösek.

3-3. táblázat: A pontmátrix kijelző bekötése.

Kiválasztó jel	FPGA láb
COLn0	P23
COLn1	P25
COLn2	P15
COLn3	P14
COLn4	P8

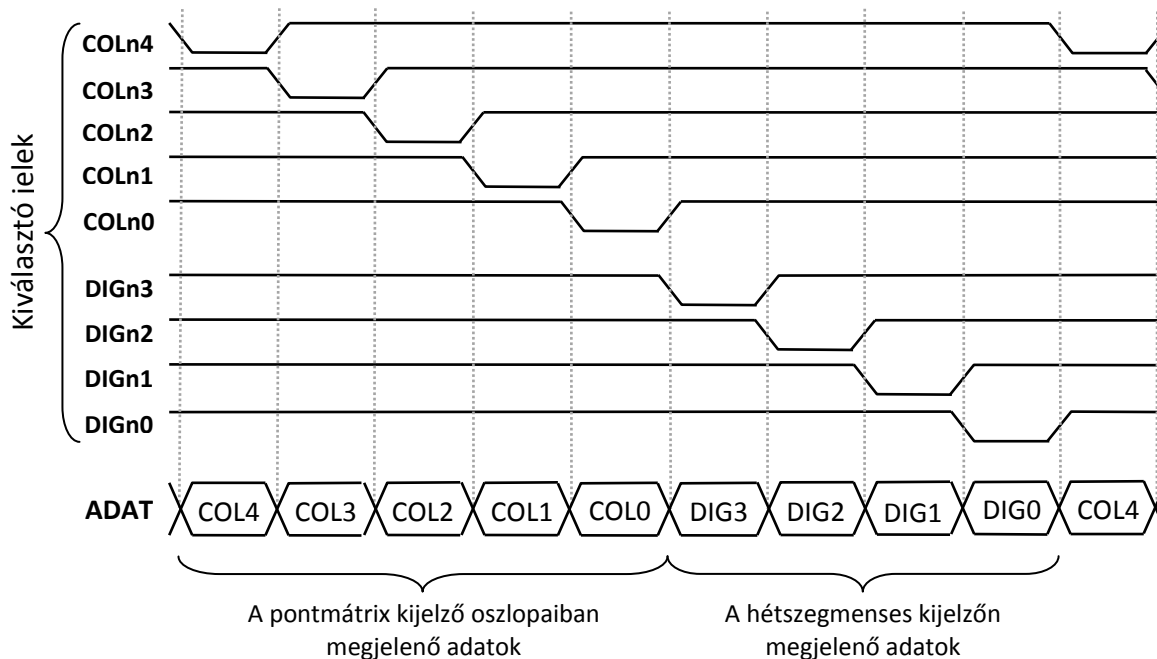
Sor	FPGA láb
SEGn0 (ROW1)	P16
SEGn1 (ROW2)	P17
SEGn2 (ROW3)	P20
SEGn3 (ROW4)	P21
SEGn4 (ROW5)	P31
SEGn5 (ROW6)	P32
SEGn6 (ROW7)	P33



3-2. ábra: A pontmátrix kijelző bekötése.

3.2.3 Időmultiplexelt vezérlés

A kijelzők vezérlése időmultiplexelt módon lehetséges a 3-3. ábra szerinti módon. A két kijelző esetén hét vezérlőjel közös, ezekkel lehet a hétszegmenses kijelző egyes szegmenseit, illetve a pontmátrix kijelző oszlopaiban található LED-eket bekapcsolni. Minden egyes karakter, illetve oszlop külön kiválasztó (anódvezérlő) jellel rendelkezik. A két kijelző természetesen önállóan is használható, ebben az esetben a hétszegmenses kijelzőhöz csak 4 ütemű, a pontmátrix kijelzőhöz csak 5 ütemű időmultiplexelt vezérlést kell használni.



3-3. ábra: A kijelzők időmultiplexelt vezérlése.

4 Beviteli eszközök

4.1 DIP kapcsoló

A LOGSYS Spartan-3E FPGA kártyán található 8-as DIP kapcsoló bekötését a 4-1. táblázat mutatja. A kapcsolók 0-tól 7-ig vannak számozva, a bal szélső kapcsoló sorszáma a 7, a jobb szélső kapcsoló sorszáma a 0. Az adott FPGA láb a kapcsoló alsó állásában logikai alacsony szintű (0 V), a kapcsoló felső állásában pedig logikai magas szintű (3,3 V) lesz.

4-1. táblázat: A DIP kapcsoló bekötése.

Kapcsoló	7	6	5	4	3	2	1	0
FPGA láb	P47	P48	P69	P78	P84	P89	P95	P101

4.2 Nyomógombok

A LOGSYS Spartan-3E FPGA kártyán található 5 darab nyomógomb bekötését a 4-2. táblázat mutatja. A nyomógombok jelölése balról jobbra rendre BTN3-BTN0 és RST. Az adott FPGA lábra logikai magas szint (3,3 V) kerül a nyomógomb megnyomása esetén. Az RST gomb elsősorban az alaphelyzetbe állításra szolgál, de tetszőlegesen is felhasználható.

4-2. táblázat: A nyomógombok bekötése.

Nyomógomb	BTN3	BTN2	BTN1	BTN0	RST
FPGA láb	P12	P24	P36	P38	P41

5 Órajel források

Az FPGA a kártyán lévő 16 MHz-es oszcillátortól és a fejlesztői port CLK vonaláról kaphat órajelet. Mindkettő az FPGA egy-egy órajel bemeneti lábára (GCLK) csatlakozik. Az oszcillátor 16 MHz-es órajeléből az FPGA-ban található DCM (Digital Clock Manager) modulok segítségével egyéb frekvenciák is előállíthatók. Az órajel források bekötését az 5-1. táblázat mutatja.



5-1. táblázat: Az órajel források bekötése.

Órajel forrás	FPGA láb
16MHz-es oszcillátor	P56
Fejlesztői port CLK vonala	P129

6 FPGA konfigurációs módok

A LOGSYS Spartan-3E FPGA kártya esetén kétféle konfigurációs mód lehetséges. Az FPGA felkonfigurálható a fejlesztői port JTAG interfészén keresztül, illetve az eszköz képes magát felkonfigurálni a kártyán lévő SPI buszos soros FLASH memóriából is. A konfigurációs mód egy jumperrel választható ki (lásd a 6-1. táblázatot). A JTAG interfész a kiválasztott módtól függetlenül mindig rendelkezésre áll.

6-1. táblázat: Az FPGA lehetséges konfigurációs módjai

Jumper állása	Konfigurációs mód	Leírás
	JTAG	Az FPGA-t a JTAG interfészen keresztül kell felkonfigurálni.
	SPI	Az FPGA az SPI buszos soros FLASH memóriából konfigurálja fel magát a tápfeszültség bekapcsolása vagy a PROG gomb megnyomása után.

7 LOGSYS fejlesztői port

A LOGSYS fejlesztői kábel a fejlesztői porton keresztül illeszthető a kártyához. A fejlesztői port az alábbi interfészekkel rendelkezik:

- JTAG interfész: TDI, TDO, TCK és TMS vonalak
- Vezérlési interfész:
 - CLK órajel bemenet a fejlesztői kábeltől az FPGA felé
 - RST reset bemenet a fejlesztői kábeltől az FPGA felé
- Soros kommunikációs interfész:
 - MOSI soros adat bemenet a fejlesztői kábeltől az FPGA felé
 - MISO soros adat kimenet az FPGA-tól a fejlesztői kábel felé
- Tápellátás:
 - 5 V tápfeszültség bemenet
 - Referenciafeszültség kimenetek a fejlesztői kábel számára: $V_{ref\ I/O}$, $V_{ref\ JTAG}$

A fejlesztői port tűsorosának lábkiosztása a 7-1. ábrán látható. A vezérlési és a soros kommunikációs vonalak bekötését a 7-1. táblázat mutatja. Mivel a MOSI, a CLK és az RST bemeneteken nincs külső lehúzó ellenállás, ezért használatuk esetén a hozzájuk tartozó FPGA I/O lábakon engedélyezni kell a belső lehúzó ellenállást (lásd az UCF fájlt). Ellenkező esetben ezek a bemenetek lebegni fognak és a letöltött terv nem fog megfelelően működni. A MISO kimenetre egy külső 4,7 k Ω -os felhúzó ellenállás van kötve.

(11) 5 V	(9) $V_{ref\ I/O}$	(7) MOSI	(5) CLK	(3) TCK	(1) TDO
(12) $V_{ref\ JTAG}$	(10) GND	(8) MISO	(6) RST	(4) TMS	(2) TDI

7-1. ábra: A fejlesztői port tűsorosának lábkiosztása.

7-1. táblázat: A fejlesztői port bekötése.

Jel	Irány	FPGA láb
MOSI	bemenet	P120
MISO	kimenet	P143
CLK	bemenet	P129
RST	bemenet	P119

8 Tápellátás

Az FPGA kártya 5 V-os tápfeszültséget igényel. A tápellátás alapvetően a fejlesztői kábelről történik, de lehetőség van egyéb külső 5 V-os egyenfeszültség forrás csatlakoztatására is. Az 5 V DC tápcsatlakozó védett a fordított polaritású bekötés ellen.

Az FPGA a működéséhez 3,3 V-os (I/O vonalak), 2,5 V-os (JTAG, DCM) és 1,2 V-os (belső mag) tápfeszültséget igényel. Ezeket a feszültségeket az 5 V-os tápfeszültségből külön tápegységek állítják elő. A kártyán található összes periféria és az I/O vonalak (a JTAG interfész kivételével) 3,3 V-ról működnek, a fejlesztői kábel 3,3 V-os I/O referenciafeszültséget (V_{ref} I/O) kap a fejlesztői porton keresztül. A JTAG interfész 2,5 V-os feszültségről működik, a fejlesztői kábel 2,5 V-os JTAG referenciafeszültséget (V_{ref} JTAG) kap a fejlesztői porton keresztül.

9 Bővítőcsatlakozók

A LOGSYS Spartan-3E FPGA kártyához a kiegészítő modulok illesztését két 16 pólusú csatlakozó teszi lehetővé. Mindkét csatlakozó lábkiosztása azonos, ez a kártya szerinti nézetből a 9-1. ábrán látható. A csatlakozókra ki van vezetve a 3,3 V-os és az 5 V-os tápfeszültség is, azonban az adatvonalak 3,3 V-ról működnek és nem 5 V toleránsak. A 13 adatvonal közül 11 ténylegesen kétirányú, 2 viszont csak bemenet. A bővítőcsatlakozók bekötését a 9-1. táblázat és a 9-2. táblázat mutatja.

(15) Input	(13) I/O	(11) I/O	(9) I/O	(7) I/O	(5) I/O	(3) +3,3V	(1) GND
(16) Input	(14) I/O	(12) I/O	(10) I/O	(8) I/O	(6) I/O	(4) I/O	(2) +5V

9-1. ábra: A bővítőcsatlakozók lábkiosztása.

9-1. táblázat: Az A bővítőcsatlakozó bekötése.

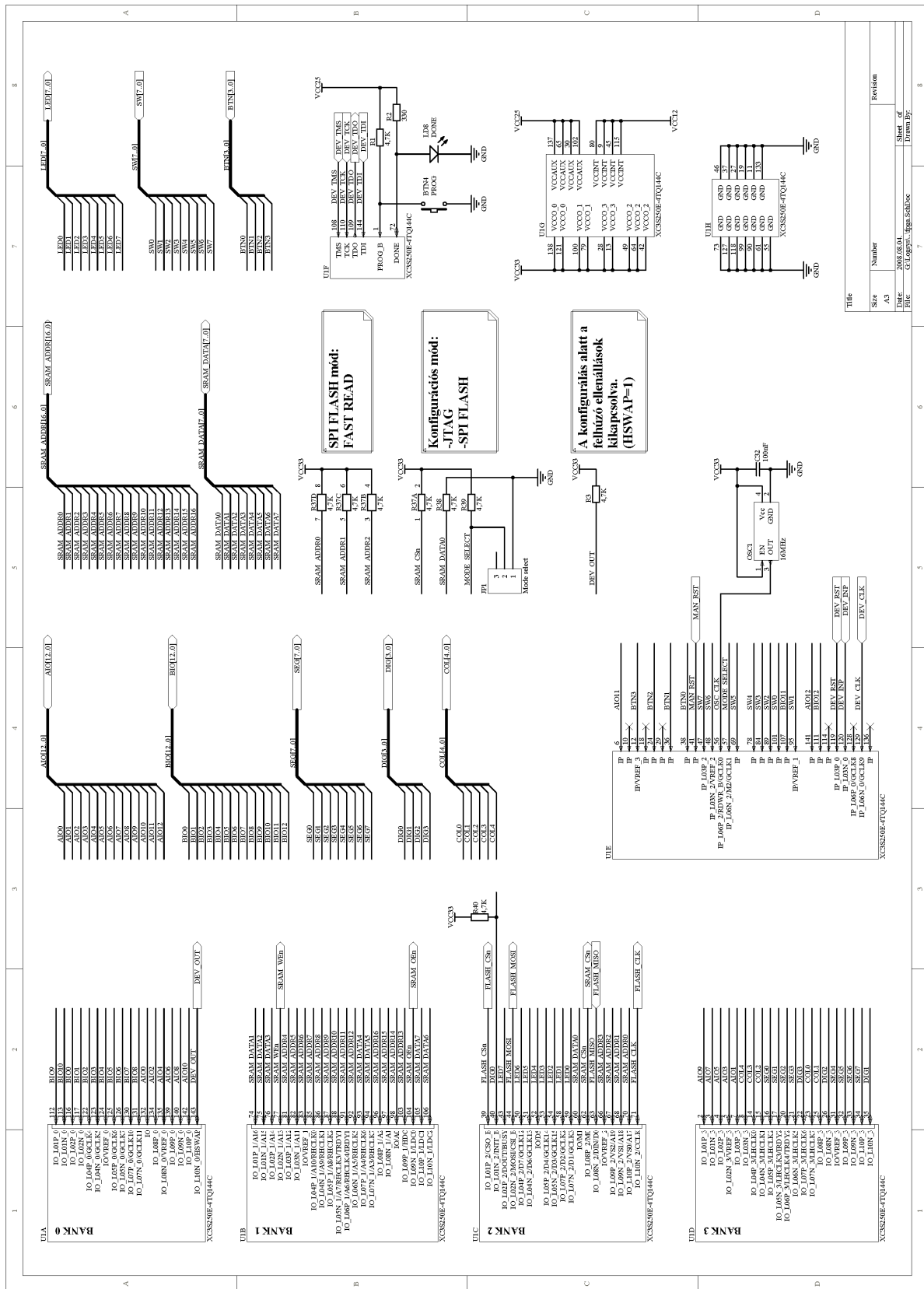
A bővítőcsatlakozó		
Csatlakozó láb	Irány	FPGA láb
4	kétirányú	P132
5	kétirányú	P7
6	kétirányú	P134
7	kétirányú	P5
8	kétirányú	P135
9	kétirányú	P4
10	kétirányú	P139
11	kétirányú	P3
12	kétirányú	P140
13	kétirányú	P2
14	kétirányú	P142
15	bemenet	P6
16	bemenet	P141

9-2. táblázat: A B bővítőcsatlakozó bekötése.

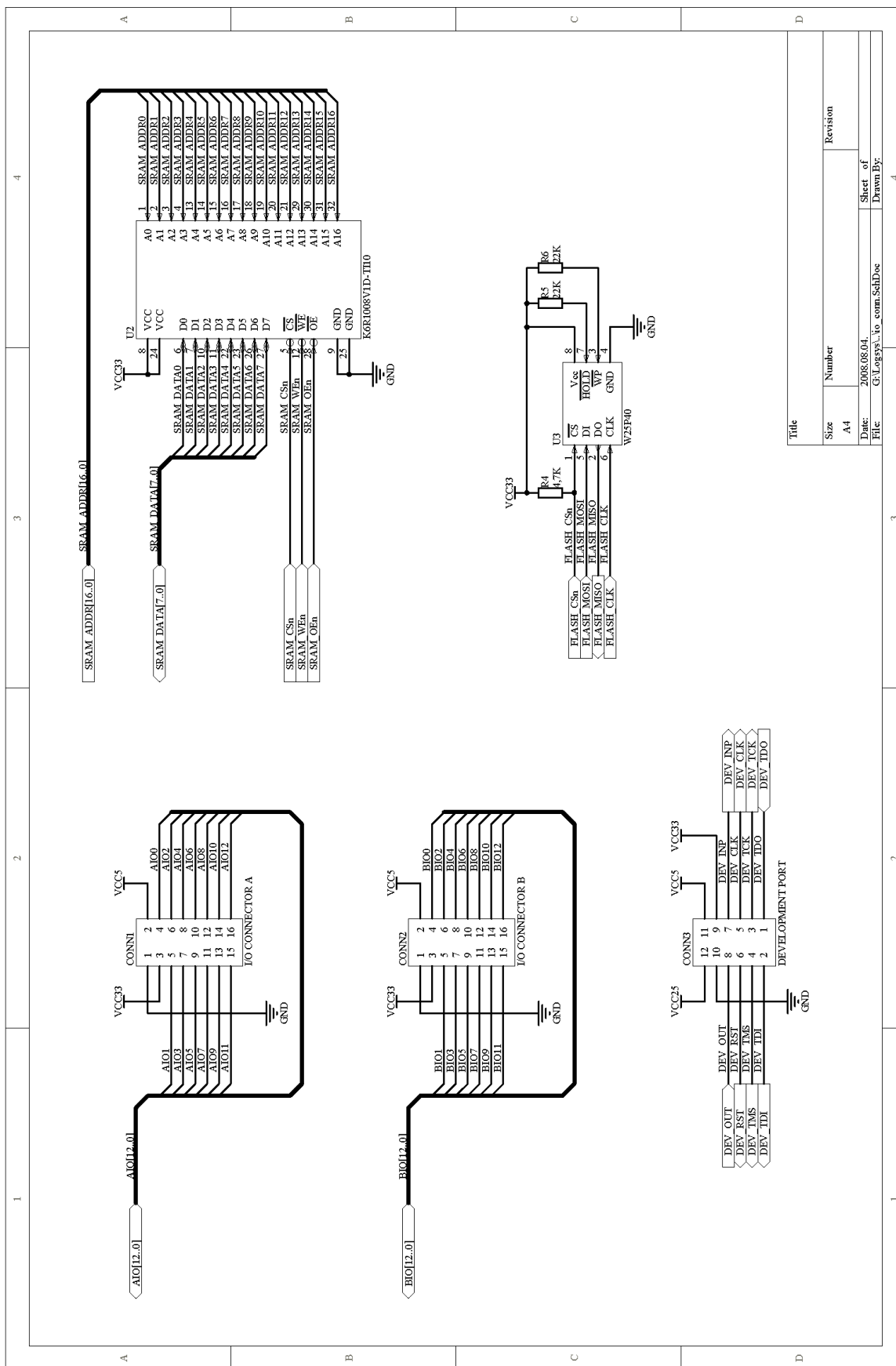
B bővítőcsatlakozó		
Csatlakozó láb	Irány	FPGA láb
4	kétirányú	P116
5	kétirányú	P117
6	kétirányú	P122
7	kétirányú	P123
8	kétirányú	P124
9	kétirányú	P125
10	kétirányú	P126
11	kétirányú	P130
12	kétirányú	P131
13	kétirányú	P112
14	kétirányú	P113
15	bemenet	P107
16	bemenet	P111

10 A kártya kapcsolási rajza

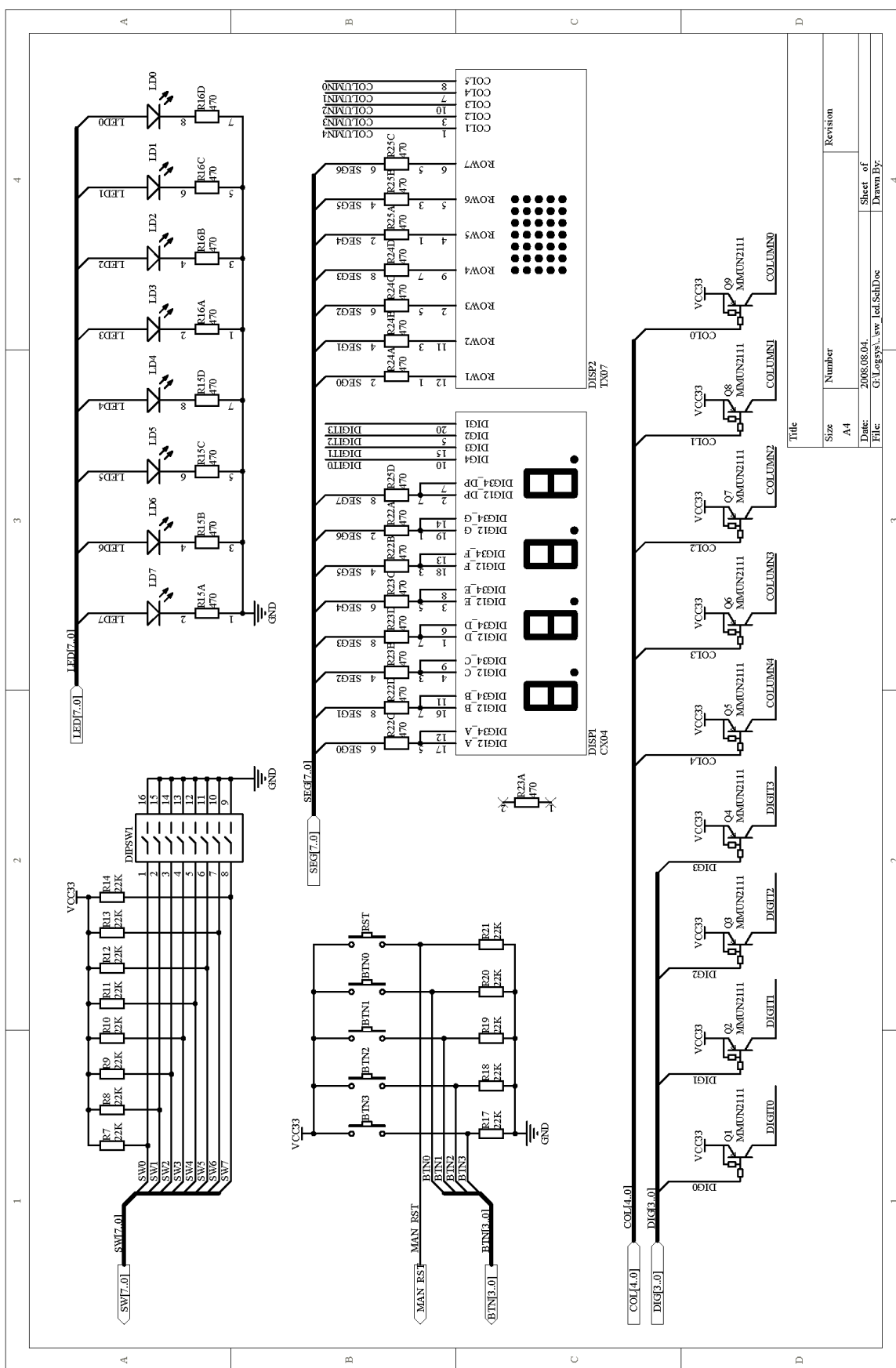
10.1 FPGA



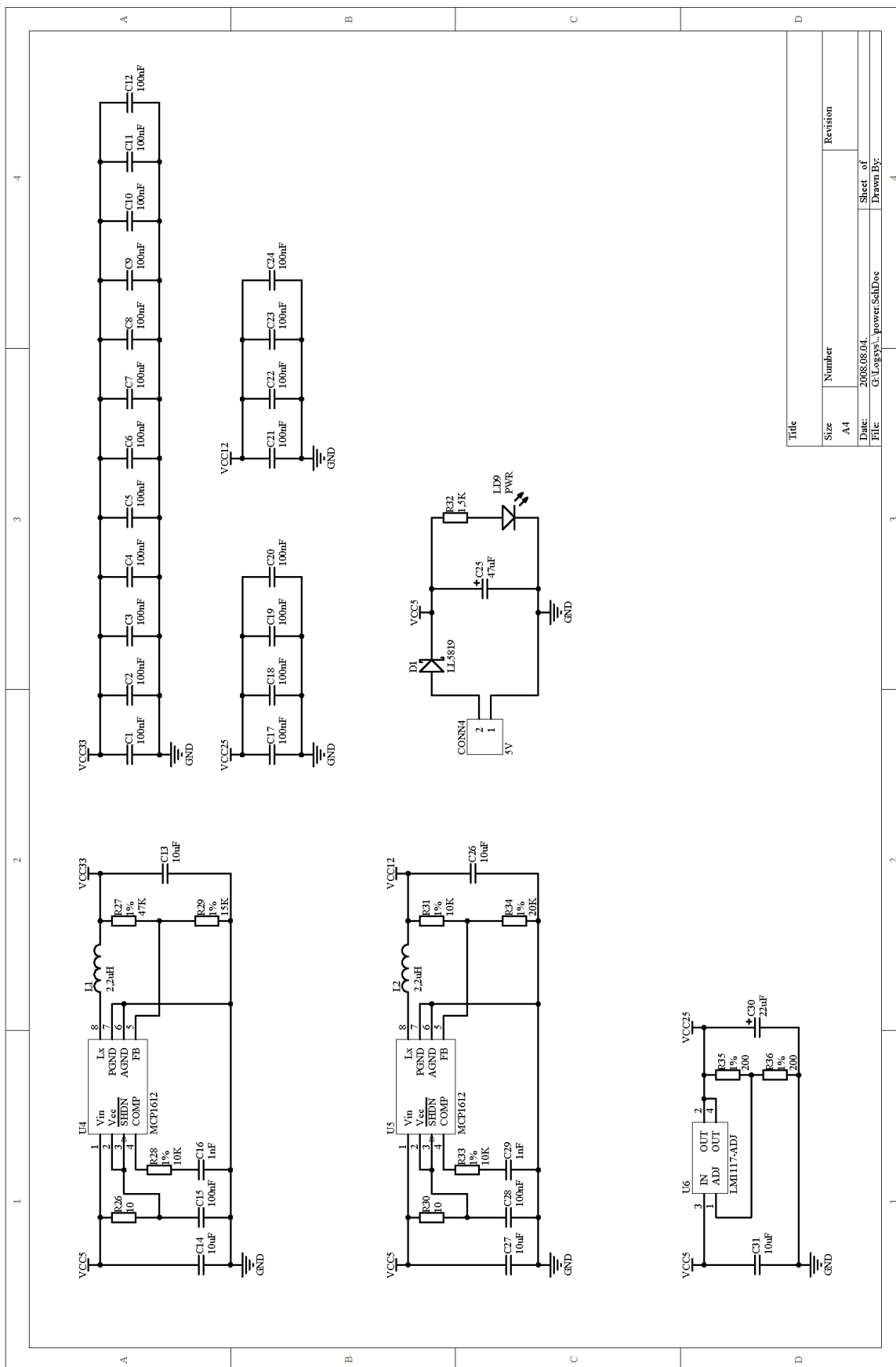
10.2 Csatlakozók, memóriák



10.3 LED-ek, kijelzők, DIP kapcsoló, nyomógombok



10.4 Tápegység



11 A kártyához tartozó UCF fájl

```

# LOGSYS XC3S250ETQ144-4 DemoBoard FPGA lábkiosztás v2.0
# A fájl az összes jelet tartalmazza, a kivezetés specifikációkat
# inaktív, megjegyzés állapotban tartva
# Egy adott projektben csak a ténylegesen használt jeleket aktiváljuk,
# elkerülendő az ERROR és WARNING üzeneteket

#NET "clk16M" LOC = "P56"; # 16MHz órajelgenerátor
#NET "rstbt" LOC = "P41"; # Manuális RST nyomógomb (aktív magas)

# LOGSYS Fejlesztőkábel GUI vezérlő és kommunikációs jelek
#NET "mosi" LOC = "P120";
#NET "miso" LOC = "P143";
#NET "clk" LOC = "P129" | PULLDOWN;
#NET "rst" LOC = "P119" | PULLDOWN;

# 4 darab aktív magas nyomógomb, balról jobbra számozva
#NET "bt<3>" LOC = "P12";
#NET "bt<2>" LOC = "P24";
#NET "bt<1>" LOC = "P36";
#NET "bt<0>" LOC = "P38";

# 8 kapcsoló, balról jobbra számozva
#NET "sw<7>" LOC = "P47";
#NET "sw<6>" LOC = "P48";
#NET "sw<5>" LOC = "P69";
#NET "sw<4>" LOC = "P78";
#NET "sw<3>" LOC = "P84";
#NET "sw<2>" LOC = "P89";
#NET "sw<1>" LOC = "P95";
#NET "sw<0>" LOC = "P101";

# 8 LED, balról jobbra számozva
#NET "ld<7>" LOC = "P43";
#NET "ld<6>" LOC = "P50";
#NET "ld<5>" LOC = "P51";
#NET "ld<4>" LOC = "P52";
#NET "ld<3>" LOC = "P53";
#NET "ld<2>" LOC = "P54";
#NET "ld<1>" LOC = "P58";
#NET "ld<0>" LOC = "P59";

# 4 digitális kijelző aktív ALACSONY szegmens vezérlő jelei
# Ugyanezeket a lábakat használjuk a 7x5 matrix kijelző sorainak
# vezérlésére is, a row<i> = seg<i>, megfeleltetéssel,
# ahol 0<=i<=6 és a felső sort jelöli a 0 index
# --0--
#NET "seg_n<7>" LOC = "P34"; #7 | |
#NET "seg_n<6>" LOC = "P33"; #6 5 1
#NET "seg_n<5>" LOC = "P32"; #5 | |
#NET "seg_n<4>" LOC = "P31"; #4 --6--
#NET "seg_n<3>" LOC = "P21"; #3 | |
#NET "seg_n<2>" LOC = "P20"; #2 4 2
#NET "seg_n<1>" LOC = "P17"; #1 | |
#NET "seg_n<0>" LOC = "P16"; #0 --3-- 7 <- tizedes pont

```

```
# 4 digités kijelző aktív ALACSONY digit kiválasztó jelei, balról jobbra
#NET "dig_n<3>" LOC = "P22";
#NET "dig_n<2>" LOC = "P26";
#NET "dig_n<1>" LOC = "P35";
#NET "dig_n<0>" LOC = "P40";
```

```
# A 7x5-ös mátrix aktív ALACSONY oszlop kiválasztó jelei, balról jobbra
#NET "col_n<4>" LOC = "P8";
#NET "col_n<3>" LOC = "P14";
#NET "col_n<2>" LOC = "P15";
#NET "col_n<1>" LOC = "P25";
#NET "col_n<0>" LOC = "P23";
```

```
# LOGSYS AIO bővítő csatlakozó (szemből nézve a 20 pólusú
# csatlakozó nem használható pontjait x-el jelölve)
# -----
# | x |ai15|aio13|aio11|aio9 |aio7 |aio5 | 3V3 |GND | x |
# -----
# | x |ai16|aio14|aio12|aio10|aio8 |aio6 |aio4 | 5V | x |
# -----
```

```
#NET "ai<16>" LOC = "P141" | PULLUP; #CSAK BEMENET
#NET "ai<15>" LOC = "P6" | PULLUP; #CSAK BEMENET
#NET "aio<14>" LOC = "P142" | PULLUP;
#NET "aio<13>" LOC = "P2" | PULLUP;
#NET "aio<12>" LOC = "P140" | PULLUP;
#NET "aio<11>" LOC = "P3" | PULLUP;
#NET "aio<10>" LOC = "P139" | PULLUP;
#NET "aio<9>" LOC = "P4" | PULLUP;
#NET "aio<8>" LOC = "P135" | PULLUP;
#NET "aio<7>" LOC = "P5" | PULLUP;
#NET "aio<6>" LOC = "P134" | PULLUP;
#NET "aio<5>" LOC = "P7" | PULLUP;
#NET "aio<4>" LOC = "P132" | PULLUP;
```

```
# LOGSYS BIO bővítő csatlakozó (szemből nézve a 20 pólusú
# csatlakozó nem használható pontjait x-el jelölve)
# -----
# | x |bi15|bio13|bio11|bio9 |bio7 |bio5 | 3V3 |GND | x |
# -----
# | x |bi16|bio14|bio12|bio10|bio8 |bio6 |bio4 | 5V | x |
# -----
```

```
#NET "bi<16>" LOC = "P111" | PULLUP; #CSAK BEMENET
#NET "bi<15>" LOC = "P107" | PULLUP; #CSAK BEMENET
#NET "bio<14>" LOC = "P113" | PULLUP;
#NET "bio<13>" LOC = "P112" | PULLUP;
#NET "bio<12>" LOC = "P131" | PULLUP;
#NET "bio<11>" LOC = "P130" | PULLUP;
#NET "bio<10>" LOC = "P126" | PULLUP;
#NET "bio<9>" LOC = "P125" | PULLUP;
#NET "bio<8>" LOC = "P124" | PULLUP;
#NET "bio<7>" LOC = "P123" | PULLUP;
#NET "bio<6>" LOC = "P122" | PULLUP;
#NET "bio<5>" LOC = "P117" | PULLUP;
#NET "bio<4>" LOC = "P116" | PULLUP;
```



```
# Soros SPI konfigurációs FLASH memória
#NET "flash_clk"      LOC = "P71";
#NET "flash_cs_n"    LOC = "P39";
#NET "flash_mosi"    LOC = "P44";
#NET "flash_miso"    LOC = "P63";

# 1 Mbit SRAM (128k x 8 bit)
#NET "sram_addr<16>" LOC = "P96";
#NET "sram_addr<15>" LOC = "P97";
#NET "sram_addr<14>" LOC = "P98";
#NET "sram_addr<13>" LOC = "P103";
#NET "sram_addr<12>" LOC = "P92";
#NET "sram_addr<11>" LOC = "P91";
#NET "sram_addr<10>" LOC = "P88";
#NET "sram_addr<9>"  LOC = "P87";
#NET "sram_addr<8>"  LOC = "P86";
#NET "sram_addr<7>"  LOC = "P85";
#NET "sram_addr<6>"  LOC = "P83";
#NET "sram_addr<5>"  LOC = "P82";
#NET "sram_addr<4>"  LOC = "P81";
#NET "sram_addr<3>"  LOC = "P66";
#NET "sram_addr<2>"  LOC = "P67";
#NET "sram_addr<1>"  LOC = "P68";
#NET "sram_addr<0>"  LOC = "P70";

#NET "sram_data<7>"  LOC = "P105";
#NET "sram_data<6>"  LOC = "P106";
#NET "sram_data<5>"  LOC = "P94";
#NET "sram_data<4>"  LOC = "P93";
#NET "sram_data<3>"  LOC = "P76";
#NET "sram_data<2>"  LOC = "P75";
#NET "sram_data<1>"  LOC = "P74";
#NET "sram_data<0>"  LOC = "P60";

#NET "sram_oe_n"     LOC = "P104";
#NET "sram_we_n"     LOC = "P77";
#NET "sram_cs_n"     LOC = "P62";
```

Változások a dokumentumban

Dátum	Verzió	Megjegyzés
2008. október 9.	1.0	Az első kiadás.
2010. május 12.	1.1	Az UCF fájl módosítva.