

# Soros átviteli protokollok (SPI, UART, USRT)

(2024. 08. 24., Szántó Péter)

A párhuzamos adatátviteli rendszerek magas jelvezeték igénye magyarázza a különböző soros adatátviteli megoldások népszerűségét és egyre szélesebb körű alkalmazását, elsősorban a rendszerek ill. készülékek közötti kapcsolatokra, de hasonlóan az egységeken belül is az egyes áramkörök, funkcionális modulok között. A soros adatátviteli rendszerek a használati igényektől függően lehetnek pont-pont kapcsolatok vagy különböző jellemzőkkel bíró soros buszrendszerek.

A mikroprocesszoros beágyazott rendszerekben, továbbá a számítógépes alkalmazásokban a következő fontosabb soros adatátviteli módszerek terjedtek el és váltak általánosan használt interfészekké:

- UARTUniverzális Aszinkron Soros Adó/Vevő
- USRT                      Univerzális Szinkron Soros Adó/Vevő
- SPI                        Szinkron Periféria Interfész

Az említett megoldások mellett létezik számos más soros átviteli mód, igény szerint kiegészítve alkalmazás specifikus protokoll szolgáltatásokkal. Ilyen pl. SMB rendszer felügyeleti busz, ami az I2C busz egy verziója, a JTAG tesztelési és programozói interfész, az analóg-digitális átalakítóknál alkalmazott I2S, az autóiparban a CAN vagy a LIN busz, a PC-s (és más) környezetben népszerű USB ill. Firewire buszok, melyeket sokszor alkalmaznak beágyazott rendszerekben is. A nagysebességű adatátvitelben is egyre terjed a soros mód, pl. Fibre Channel, Serial ATA, PCI Express. Ezek – bonyolultságukból adódóan – a mérésnek nem tárgyai.

Fenti felsorolás az adatátvitel adatkapcsolati formáját definiálja, amely természetesen független a választott, ill. alkalmazott fizikai meghajtóktól. Mivel a mérésben az egyes tesztrendszereket az FPGA áramkörön belül alakítjuk ki, a vizsgált soros adatátviteli módszerekben alkalmazott meghajtók fizikai átviteli tulajdonságaira részletesen nem térünk ki. Ezeket a tulajdonságokat a megfelelő szabványok tartalmazzák, az ezen előírásoknak megfelelő tulajdonságú meghajtó és illesztő áramkörök (fizikai eszköz, PHY) elérhetőek. A szakmai zsargonban a két fogalom néha keveredik egymással és pl. az RS232 hivatkozás alatt, ami egy aszimmetrikus, bipoláris jelvezetési módszer, azonnal az UART adatátvitelre is gondolnak, holott az aszinkron soros adatátvitel természetesen más elektromos jellemzők mellett is megvalósítható (szimmetrikus, unipoláris jelvezetés, pl. RS422 vagy RS485, teljes, vagy időben megosztott kétirányú kommunikációval).

A soros adatátviteli rendszerek kialakításánál az elsőrendű célkitűzés a jelvezetékek számának csökkentése volt, oly módon, hogy a kétirányú adatátvitel lehetősége megmaradjon, és lehetőleg az interfészegységek bonyolultsága (költsége) is elfogadható legyen. A felsorolt feltételeket az egyes adatátviteli módszerek különbözőképpen teljesítik.

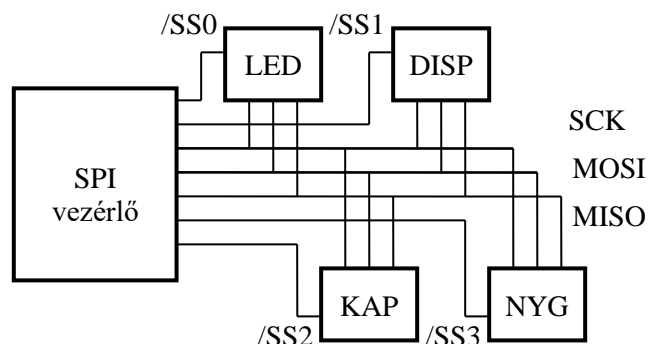
A legkevesebb átviteli vezeték a vezeték nélküli átviteli módszerek igényelnek, de ennek tárgyalása a rádiós adatátvitel témakörébe tartozik, jelen mérésnek nem tárgya.

A következő szint az egyvezetékes átvitel, (pl. 1-Wire az érzékelők, azonosító eszközök területén), amivel kialakíthatóak a kétirányú (adás/vétel) típusú átvitelek is, de az interfész áramkörök átviteli tulajdonságaikhoz képest kissé bonyolultak, ezért csak céláramkörökben alkalmazzák a megoldást.

A további megoldások a kettő, három vagy négyvezetékes rendszereket jelentik. A vezetékek számát az adatátviteli vonalak független, vagy időosztásos használata, az átvitel ütemezését támogató szinkronizációs órajel használata ill. a pont-pont vagy buszszerű használatot megoldó eszköz azonosítás módja szabja meg.

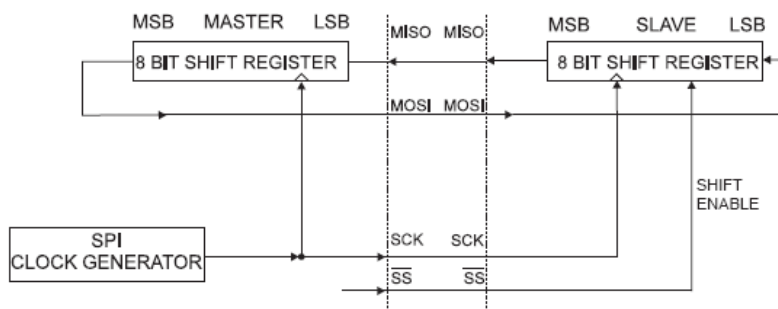
### SPI adatátviteli interfész

Az SPI (Serial Peripheral Interface) szinkron periféria interfész egy soros  $3 + (1..n)$  vezetékes egyidejűleg kétirányú (full duplex) adatátviteli interfész, ahol  $n$  a szolga egységek száma. Az SPI interfész közepes sebességen (az adatátviteli sebesség akár néhány MHz is lehet), közepes mennyiségű adat átvitelére alkalmas. A topológia a 3 kommunikációs vonalon busz rendszerű, az  $n$  darab kiválasztó vonal pont-pont kapcsolat a mester és egy-egy szolga egység között. Az egységek számának lényegében a szükséges kiválasztó vonalak igénye szab korlátot. A vonalak elnevezései: SCK, MOSI (Master Output, Slave Input), MISO (Master Input, Slave Output) és /SlaveSelect\_ $n$ . A MISO vonal a többszörös forrás miatt három állapotú meghajtást igényel.



1. ábra Az SPI kommunikációs hálózat topológiája

Az SPI adatátviteli interfész kommunikációs hardvere lényegesen egyszerűbb, mint az I2C megfelelő egységei. Az egyes szolga egységeket közvetlenül a /SS $n$  kiválasztó jelek azonosítják, az átvitelben nincs sávszélességet csökkentő címzési fázis. A busz topológia követelményének megfelelően csak a kiválasztott szolga MISO kimenete engedélyeződik. Az SPI adatkapcsolat modellje két egység esetén a következő:



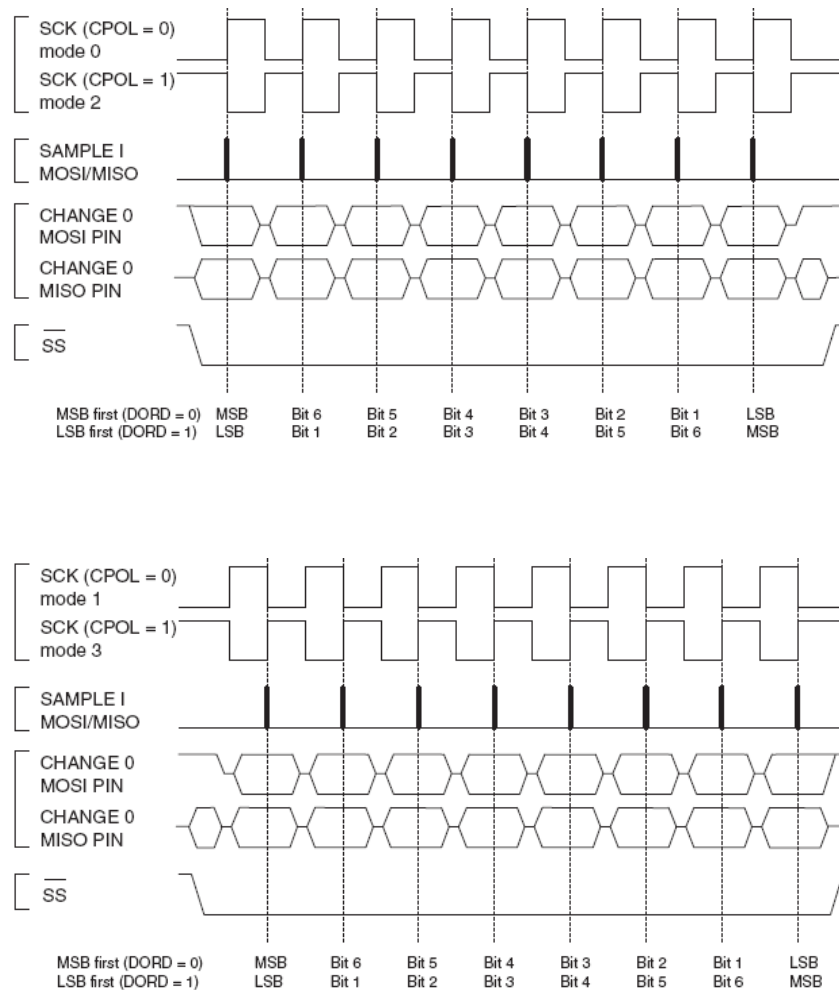
2. ábra Az SPI kommunikáció mester-szolga kapcsolata

Az adatokat a két egység átviteli shift regiszterében egyszerre léptetjük, közös órajel hatására. Az órajel generátor a /SS $n$  kiválasztójel bekapcsolására indul és a 8 adatbit ki- beléptetése után leáll. Az adatok kiléptetése és a beérkezett adatok mintavételezése az órajel egymással

ellentétes éleire történik. Ennek megfelelően, továbbá figyelembe véve az órajel kiindulási nyugalmi értékét is, alapvetően 4 fajta SPI átviteli ciklus definiálható.

SPI Mód	SCK periódus kezdő él	SCK periódus lezáró él
0	Mintavétel felfutó élre	Új adat kiadás lefutó élre
1	Új adat kiadás felfutó élre	Mintavétel lefutó élre
2	Mintavétel lefutó élre	Új adat kiadás felfutó élre
3	Új adat kiadás lefutó élre	Mintavétel felfutó élre

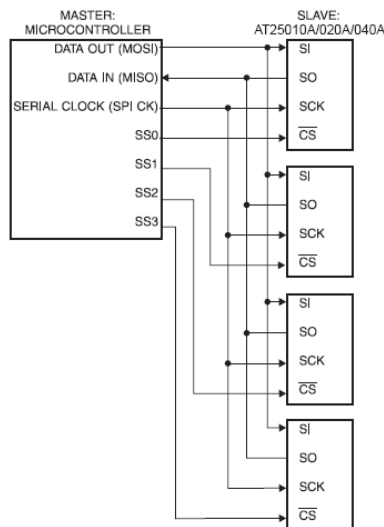
A jellegzetes hullámformákat a 4 definiált SPI módra a következő ábra mutatja. Mint látható egyes interfészek megengedik a bitek léptetési sorrendjének megválasztását is, de alapvetően az MSB-vel kezdődő módszer az általános.



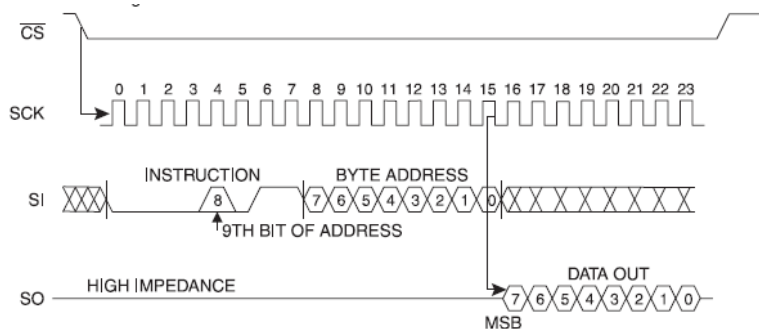
13. ábra Az SPI kommunikáció összes lehetséges átviteli hullámformája

Az SPI interfész egyik legfontosabb előnye a valódi egyidejű kétirányú (full-duplex) átvitel. Átviteli sebességét egyszerűsége folytán lényegében a buszvonalak áramköri kialakítása és meghajtási viszonyai korlátozzák. Kis számú periféria esetén előnyei nyilvánvalóak, növekvő eszközszámnál a kiválasztó jelek nagy száma komoly hátrányt jelent. Gyakori, hogy a periféria csak egyirányú adatátvitelt igényel, ekkor természetesen az egyik adatátviteli vonal elhagyható. Bemeneti periféria esetén ez nem tehető meg, kimeneti periféria esetén azonban érdemes megtartani az esetleg haszontalannak látszó kapcsolatot, amivel az átvitel helyes működése diagnosztizálható.

Az alábbi blokkvázlat négy darab EEPROM memória illesztését mutatja olyan mikrokontrollerhez, mely rendelkezik SPI vezérlővel (és a megfelelő számú kiválasztó lábbal).

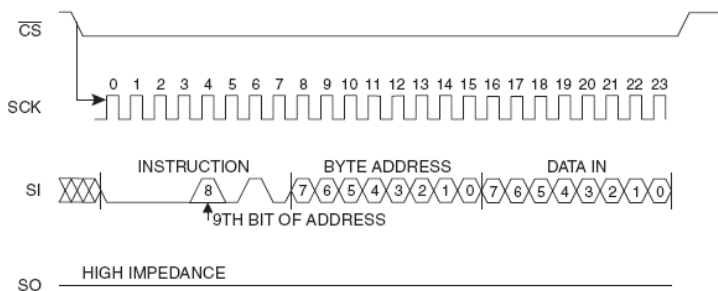


A fenti blokkvázlatban szereplő EEPROM olvasási idődiagramját az alábbi ábra mutatja.



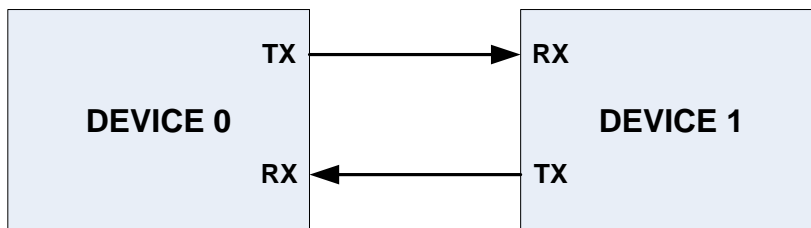
Mint látható, egy byte olvasása 24 SPI órajelet vesz igénybe. A ciklus kezdetekor aktivizálódik (0-ba vált) a kiválasztó jel (CS). Az ezt követő 16 órajel alatt a MOSI (az ábrán az EEPROM szemszögéből SI, azaz bemenet) vonalon egy olvasási utasítást (INSTRUCTION) és a kiolvasni kívánt byte címét küldi el a mester. Ez alatt az EEPROM a MISO (az ábrán SO) vonalon nem küld adatot, nagy impedanciás állapotban tartja azt. A következő 8 órajel alatt az SI vonalon az EEPROM felé érkező adatok lényegtelenek (don't care), míg az SO vonalon az olvasott adat bit-jei jelennek meg, a legnagyobb helyiértékűvel kezdődően.

Az írási diagram meglehetősen hasonló. Az első órajelek alatt küldött utasítás ebben az esetben írás, míg az utolsó 8 órajelben a mester hajtja meg a MOSI vonalat az írandó adattal. A MISO vonalat az EEPROM írás alatt nem hajtja meg, az folyamatosan nagyimpedanciás állapotban van.



### UART adatátviteli interfész

Az univerzális aszinkron átvitelek egy nagyon rugalmas és széles körben elterjedt soros kommunikációs rendszert valósítanak meg. Az átvitel ebben az esetben kétvezetékes, egyidejűleg kétirányú (full duplex), átviteli sebessége közepes ill. alacsony. A kapcsolat pont-pont típusú, tehát egyszerre két eszköz közötti kommunikációt lehet megvalósítani.

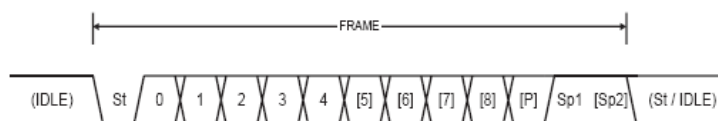


A kommunikáció során a küldő fél a TX (transmit) kimenetét hajtja meg (küld adatot), melyet a vevő az RX (receive) bemenetén fogad.

Tipikus alkalmazása hagyományosan a berendezések közötti adatkapcsolat megvalósítása (pl. számítógép és modem, számítógép és terminál), beágyazott rendszerekben is gyakran használják. A fizikai jelátvitel a berendezések között szabványos jelszint illesztők alkalmazásával lehetséges. Ezeket az előírásokat aszimmetrikus jelvezetés esetére az EIA/TIA-232-E (közismertebb neve RS232), szimmetrikus full duplex jelvezetésre az EIA/TIA-422-B (RS422), míg szimmetrikus half duplex jelvezetésre az EIA-485 (RS485). Ezen utóbbi áramköri kialakítás lehetővé teszi a busz jellegű rendszerkialakítást is.

Az UART adatátvitel karakterkeretekben történik. A kapcsolat eltérően a korábbi módszerektől, nem igényel külön dedikált órajel vezetéket az eszközök között (tehát ez egy aszinkron átviteli mód). Az egyes adategységek azonosítása a lokális rendszerórák használatán alapul – azaz mind a küldő, mind pedig a fogadó eszköz a saját, egymástól teljesen független órajelét használja a kommunikáció során. Ebből kifolyólag az berendezések közötti adatátvitelben használható sebességtértek egy véges készletből választhatók, továbbá ezen sebességtértek elsőrendű forrásának frekvenciahibája nem lehet nagyobb 1%-nál.

Az adatkeretek felépítése a következő (**FIGYELEM:** az első átküldött adat bit a karakter LSB bitje!):



14. ábra Az UART adatátviteli keret felépítése

Az adatkeret olyan, egy karaktert tartalmazó egység, amely az adatbiteken kívül szinkronizációs biteket, továbbá hibaellenőrzés céljából paritás bitet tartalmazhat. Az adatkeret opciókkal specifikálható. A felépítés a következő lehet:

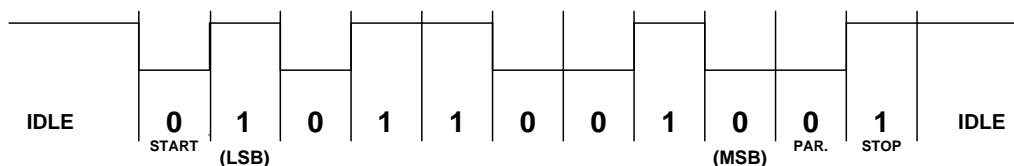
- 1 START bit, értéke logikai alacsony
- Választható számú, 5, 6, 7, 8, esetleg 9 bit adat (tipikusan 7 vagy 8 bit)
- Paritásbit, amely ha van, akkor lehet páros, páratlan, mindig 1, mindig 0
- STOP bit, ami lehet 1, 1,5, 2

Ezek alapján egy nagy 'M' betű átküldése 8E1 módban (8 adatbit, Even – páros, azaz párosra kiegészítő – paritás, 1 stop bit):

'M' ASCII kódja: 77; binárisan: 8'b0100\_1101

(ellenőrzése: bal ALT + numerikus billentyűzet 77)

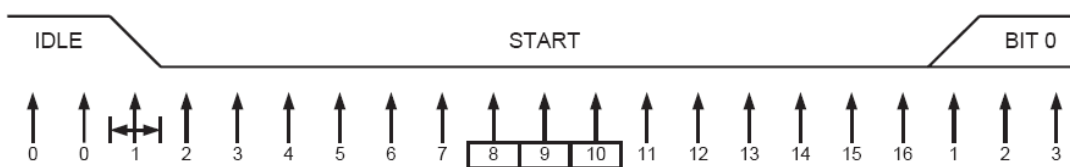
UART adatbitek:



Hagyományos kommunikációs egységek (pl. modemek) használata esetén van lehetőség hardver átvitelvezérlő jelek használatára is, ezeket általában a mikrokontrolleres UART interfészek direkt módon nem valósítják meg (**a mérés során a PC soros portjának helyes beállítása: „Flow control: None”**).

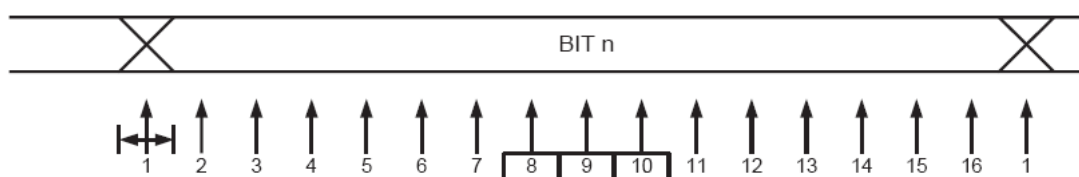
A jelzésátviteli sebesség (baudrate) a két egység között előre rögzített, tipikusan a szabvány által felsorolt értékek közül választható. A teljes tartomány a 110 bit/s-tól tipikusan 115200 bit/s-ig terjed, de berendezésen belüli, normál logikai szintű kapcsolatoknál akár az 1-2 Mbit/s elérhető lehet. A baudrate jelentése: másodpercenként átvitt bitek (nem csak adatbitek, beletartozik a START, STOP, paritás is!) száma.

Az aszinkron soros átvitel megvalósítása során a vevő áramkör jelentős, általában x16, (esetleg nyolcszoros) túlmintavételezéssel figyeli a bejövő vonalat. A tetszőleges időpontban beérkező adatkeret START bitjének lefutó élére szinkronizál a vevő. Ezt leszámítva mind az adó, mind pedig a vevő a saját órajeléből számítja ki a bitidőt, mely a két egységben nem feltétlenül azonos hosszúságú fix időtartam. A START bit lefutó élére történő szinkronizáció ennek kezdetét módosítja.



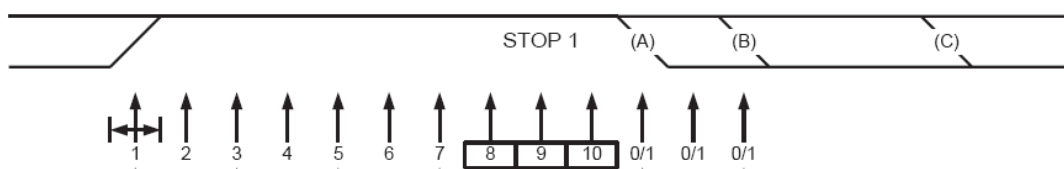
15. ábra Az UART adatkeret START bitjének detektálása

Az aszinkron vevő folyamatosan figyeli a vételi vonal állapotát. A x16 túlmintavételezés szerint a START bit lefutó élét maximum  $1/16 T_{\text{bit}}$  bizonytalansággal észleli. Az észlelt START bit érvényességét a bitidő 50%-ánál többségi mintavételezéssel ellenőrzi. Amennyiben a vonal értéke alacsony, akkor valódi START bitet detektál és a megadott formátum szerint (adatbitek száma + paritás) a következő biteket hasonlóan a (feltételezett) bitidőtartam közepén mintavételezi.



16. ábra Az UART adatkeret adatbitjeinek mintavételezése

Az adatbitek után következik a STOP bit mintavételezése és a keret vételi folyamat lezárása.



17. ábra Az UART adatkeret adatbitjeinek mintavételezése

A vevő áramkör a STOP bit mintavételezése és kiértékelése után azonnal képes a következő karakter vételére felkészülni. A fogadott adatkeret STOP bitidő vége az ábra (C) időpontjában várható, de a vevő már az (A) időpontban a vételt befejezte, a STOP bitet (és az esetleges paritás bitet kiértékelte), tehát újra a x16 túlmintavételezéssel a következő keret START időpontját figyeli. A túlmintavételezésből és a többségi döntésből következően egy keret hiba nélküli fogadásához az szükséges, hogy a STOP bit mintavételezésére szolgáló 8-9 mintavételi időpontok még ténylegesen a STOP bitből vegyenek mintát – ebből a feltételből a küldő és a fogadó eszköz bitidejének maximálisan megengedhető eltérése kiszámítható.

Érdemes megjegyezni, hogy az adó és a vevő saját alap órajeleinek 2%-os eltérése 8 bit adat+paritás esetén a STOP bitidő közepének mintavételezését több mint 20 %-al eltéríti. Figyelembe véve a START bit mintavételezés bizonytalanságát, továbbá az esetleges élváltások torzulását az átviteli vonalon, a teljes hiba akár 30% lehet, valószínűsítve egy esetleges STOP bit kerethiba előfordulását.

### USRT adatátviteli interfész

Az USRT az UART-tól egyetlen dologban különbözik: a kommunikáló felek között a TX és RX adatvonalak mellett egy órajel is továbbításra kerül. Ezen órajel frekvenciája megegyezik a baudrate-tel, azaz minden átvitt bithez egy órajel él tartozik. A soros jelek mintavételezése ezen órajel felfutó élére történik, így nincs szükség túlmintavételezésre, illetve a baudrate generátorok szinkronizációjára.

Az USRT átvitel ütemezést végző órajel (amely tipikusan NEM egyezik meg a rendszer órajellel) az FPGA számára bemenet.

