

3. mérés

Digitális alapeszközök

Bevezetés

Napjainkban egyre szélesebb körben alkalmazzák a digitális elektronikus eszközöket. Az eszközök bonyolultsága is egyre nő, nagyon gyakori az olyan alkalmazás, amelynél egyetlen IC tokba több százezer vagy akár több millió kaput integrálnak. Ezek az áramkörök hagyományos papír-ceruza módszerekkel már nem tervezhetők, *számítógéppel segített tervezésre (CAD)* van szükség. Egy későbbi mérés – a 10. mérés – teljes egészében az ilyen módon való tervezéssel foglalkozik. Azt a mérést előkészítendő és a hozzátartozó házi feladatok megoldásához segítségül, ez a mérés egy bevezető ismertetést ad egy CAD rendszerről és a *Verilog hardver leíró nyelvről*.

A mérés célja

A mérés alapvető célja a tárgy későbbi digitális méréseihez szükséges ismeretek átadása, az azokban szereplő korszerű tervezési és vizsgálati eszközök, módszerek *első bemutatása*, az előtanulmányokban *nem szereplő, és a mérésekhez szükséges* szakma-specifikus ismeretek bemutatása a programozható logikai hálózatokról, a digitális hálózatok számítógéppel segített tervezéséről, a logikai hálózatok, funkcionális egységek ellenőrzésére szolgáló eszközökről és módszerekről.

A mérés elméleti alapjai

Hivatkozások, felkészüléshez ajánlott irodalom

Elektronikus formában a tárgy honlapján

- [1] Bevezető az ISE rendszer használatához
- [2] FPGA & Verilog ismertető fóliák
- [3] Verilog ismertető PDF
- [4] A fejlesztői panel dokumentációja

Feladatok a felkészüléshez

A mérést megelőző otthoni felkészülésként végezze el az alábbiakat önállóan!

1. Ismételje át a programozható logikákról a Digitális technika tárgyban tanultakat [2] !
2. Olvassa el a *felkészüléshez ajánlott irodalmat!*
3. Olvassa el és gondolja végig a *Mérési feladatokat!*

Mérési feladatok

Ez a laboratóriumi gyakorlat "workshop" jellegű vezetett mérési gyakorlat, és ezzel "lebonyolítási" formájában eltér a későbbi laborgyakorlatoktól. Ennek megfelelően ez a "mérési útmutató" is eltérő formájú, inkább programnak nevezhető.

Ez a program tájékoztató jellegű, a gyakorlaton a mérésvezető utasításait kell követni!

1. Xilinx ISE bevezető (vezetett mérés)

A mérésvezetővel együtt haladva **végezze el az ISE bevezetőben leírt feladatokat**. Az említett dokumentum megtalálható a tárgy honlapján.

Az FPGA IC beprogramozása előtt ellenőrizni kell, hogy a kivezetések irányítása helyes-e.

Ha ugyanis egy olyan lábat kimenetnek programozunk, amelyre a mérőpanel valamely I/O eszközének szintén a kimenete van huzalozva, akkor a mérőpanel meghibásodhat.

2. KIEGÉSZÍTŐ FELADAT: A készülék funkcióinak módosítása

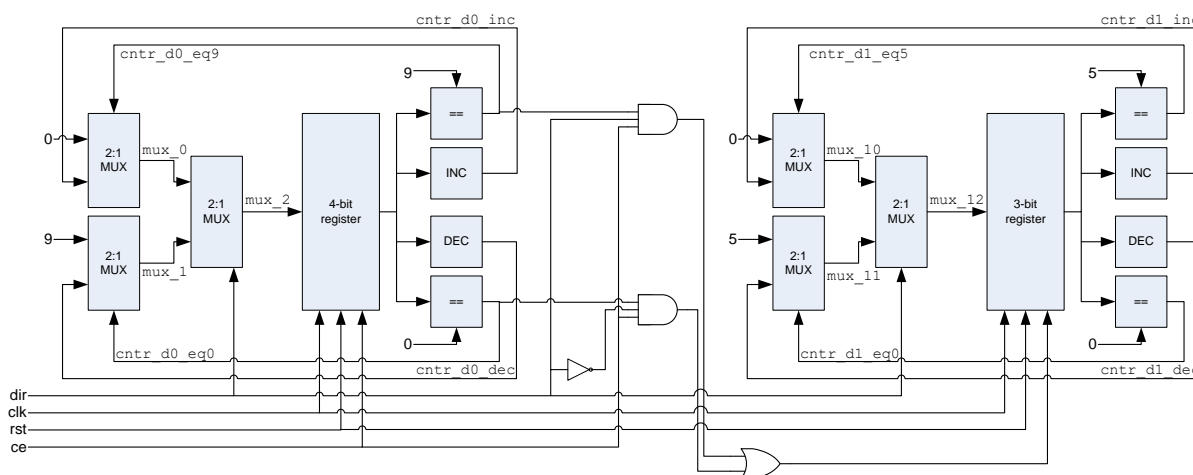
Módosítsa az iménti feladatban szereplő tervet úgy, hogy egy két digités BCD (binárisan kódolt decimális) másodperc számlálót realizáljon! Azaz: az alsó digit 0...9 közötti értékeket, míg a felső digit 0...5 közötti értékeket vehet fel.

Gondoljuk át a felső digit működését, ami meglehetősen hasonló az alsó digithez (ugyanúgy egy engedélyezhető le/fel számlálóról van szó). Az alsó digit minden esetben számol, ha a külső engedélyező jel aktív. Ezzel ellentétben a felső digitnek csak akkor kell változnia, ha az alsó digit elérte a végértékét (ami felfelé számolásnál 9, lefelé számolásnál 0) és a külső engedélyező jel aktív. Azaz a felső digit engedélyező jele '1' értékű, ha:

- felfelé számolunk ($dir = '1'$), az alsó digit 9 ($cntr_d0_eq9 = '1'$) és az engedélyező jel aktív ($ce = '1'$) VAGY
- lefelé számolunk ($dir = '0'$), az alsó digit 0 ($cntr_d0_eq0 = '1'$) és az engedélyező jel aktív ($ce = '1'$)

Különbség még az alsó digithez viszonyítva, hogy a számláló végértéke 9 helyett 5, ami 3 biten is ábrázolható.

A fenti megfontolások után adódó blokkvázlat az alábbi.



A számláló módosításának lépései:

- Deklarálja a második számlálóhoz szükséges jeleket!
- Adja meg a funkcionális leírást!
- Növelje meg a *count_sec* modul kimeneti változójának (*q*) méretét 4-ről 7 bitre! Az alsó 4 bitet hajtsa meg az alsó digittal, míg a felső 3 bitet a felső digittal!
- Ellenőrizze a módosított Verilog kód szintaktikai helyességét!
- Szimulációval ellenőrizze a helyes működést! Mivel a *count_sec* modul portjai változtak (nőtt *q* kimeneti jel szélessége), így ezt a módosítást a testbench file-ban is el kell végezni.

A legfelső szintű modul módosítása:

- Módosítsa a legfelső szintű modult (*wpbvtop1*) az új számláló követelményeinek megfelelően (7 bites megjelenítendő érték)!
- Módosítsa a lábhozzárendelést! A felső digit 3 bitjét a panel LED6, LED5, LED4 LED-jein jelenítse meg. Azaz a *q*[6:0] kimeneti port *q*[6:4] bitjeit csatlakoztassa a megfelelő lábakhoz!
- Implementálja a módosított tervet, majd az elkészült konfigurációs file-t töltsse le az FPGA-ba és ellenőrizze a működést.

3. Ellenőrző kérdések

1. Adja meg az alábbi portokkal rendelkező Verilog modul modul deklarációját. Bemenetek: skalár clk, skalár en; kimenet: 8 bites dout.
2. Deklaráljon egy 4 bites data nevű, wire típusú jelet, és folyamatosan adja neki a hexadecimális 0x42 értéket bináris formában megadva.
3. Deklaráljon három darab 8 bites, előjeles wire típusú változót (res, op_a, op_b). A res értékének adja át op_a és op_b összegét.
4. Deklaráljon egy 16 bites és egy 8 bites wire típusú változót (d16, d8). A 16 bites változónak adja át a 8 bites változó előjel kiterjesztett értékét (a 8 bites változó kettes komplementens értékeket tartalmazhat).
5. Deklaráljon egy 8 bites, reg típusú (res) és két darab 8 bites wire típusú változót (op_a, op_b). Adja meg azt a Verilog kódot, ami olyan kombinációs logikát valósít meg, amelyben res értéke op_a és op_b összege.
6. Adja meg egy 4:1 multiplexer Verilog kódját. Bemeneti jelek: kiválasztó jel (sel), adat bemenetek (in0, in1, in2, in3); kimenet: r. A bemeneti jeleket deklarálja wire-ként (az adatok 1 bitesek), a kimenetet pedig a leírás módjának megfelelően.
7. Adja meg egy aszinkron reset-elhető (rst), set-elhető (set), engedélyezgető (en) 1 bites D FF Verilog kódját. Deklarálja a kimeneti és bemeneti jeleket is (utóbbiakat 1 bites wire-ként).
8. Adja meg azon testbench kódját, ami 10 MHz-es órajelet generál. Az órajel neve legyen clk, ezt deklarálja is.
9. Adja meg egy 8 bites, reset-elhető, felfelé számláló számláló modul Verilog kódját. Bemenetek: órajel (clk), reset (rst); kimenet: a számláló értéke (cntr).
10. Adja meg egy 8 bites, balra léptető shift regiszter modul Verilog kódját. Bemenetek: órajel (clk), soros adatbemenet (din); kimenet: a shift regiszter értéke (shr).