

Verilog nyelven tervezzon egy szinkron hálózatot, amely az alábbiakban specifikált funkciót valósítja meg. A WebPACK rendszer segítségével készítse el a leírást! A leírás elkészítésénél a WebPACK sablonjait (Language Templates) is használhatja. Nem szükséges hierarchikus tervezést végezni. (Szimulációval ellenőrizze a működést!) A leírást fordítsa le, és töltsse le az FPGA mérőpanelre! Demonstrálja a helyes működést!

Funkció: A hálózat egy 8 bites Johnson számláló (shift regiszter, melynek soros kimenete invertálva van visszavezetve a soros bemenetre). A számláló a BTN2 gombbal vihető alapállapotba, az alapállapot 8'b0000_0000. A hálózat órajele az FPGA panel 16 MHz-es órajele. A számláló léptetését egy másodpercenként érkező, 1 órajel szélességű engedélyező jel végzi. Ezt a jelet is a hálózat állítja elő. A számláló kimeneteinek állapotát a 8 LED jelzi. A számláló az SW0 kapcsoló 1 állapotában számol, 0 állapotában „pause” módban van.

Verilog nyelven tervezzon egy szinkron hálózatot, amely az alábbiakban specifikált funkciót valósítja meg. A WebPACK rendszer segítségével készítse el a leírást! A leírás elkészítésénél a WebPACK sablonjait (Language Templates) is használhatja. Nem szükséges hierarchikus tervezést végezni. (Szimulációval ellenőrizze a működést!) A leírást fordítsa le, és töltsse le az FPGA mérőpanelre! Demonstrálja a helyes működést!

Funkció: A hálózat egy 8 bites, bináris számlálót valósít meg, amely az SW1 kapcsoló 0 állásában a páros, 1 állásában a páratlan számokon lépdél végig. A generált számokat a LED-eken kell megjeleníteni, a számolást pedig az 16 MHz-es órajelből generált, másodperc frekvenciájú engedélyező jel ütemezi. Az SW0 kapcsoló 1 állása a rendszert alapállapotba viszi (az SW1 kapcsoló állásától függően 0 vagy 1).

Verilog nyelven tervezzon egy szinkron hálózatot, amely az alábbi bekezdésben specifikált funkciót valósítja meg. A WebPACK rendszer segítségével készítse el a leírást! A leírás elkészítésénél a WebPACK sablonjait (Language Templates) is használhatja. Nem szükséges hierarchikus tervezést végezni. (Szimulációval ellenőrizze a működést!) A leírást fordítsa le, és töltsse le az FPGA mérőpanelre! Demonstrálja a helyes működést!

Funkció: A hálózat egy futófényt (knight rider) valósít meg. A BTN0 gomb hatására (reset jel) csak a jobb oldali LD0 LED világít, majd a gomb elengedésekor a fény másodperces ütemezéssel balra shiftelődik. A ledsor két végére érve a futási irány megfordul. A hálózat órajele az FPGA panel 16 MHz-es órajele. A shiftelést egy másodpercenként érkező, 1 órajel szélességű engedélyező jel ütemezi. Ezt a jelet is a hálózat állítja elő. A generálandó minta tehát:

0000_0001 → 0000_0010 → 0000_0100 → 0000_1000 → 0001_0000 → 0010_0000 → 0100_0000 →
1000_0000 → 0100_0000 → 0010_0000 → 0001_0000 → 0000_1000 → 0000_0100 → 0000_0010 →
0000_0001 → 0000_0010 →

Ügyeljen rá, hogy minden állapot ugyannyi ideig tartson (egy másodperc).

Verilog nyelven tervezzon egy szinkron hálózatot, amely az alábbi bekezdésben specifikált funkciót valósítja meg. A WebPACK rendszer segítségével készítse el a leírást! A leírás elkészítésénél a WebPACK sablonjait (Language Templates) is használhatja. Nem szükséges hierarchikus tervezést végezni. (Szimulációval ellenőrizze a működést!) A leírást fordítsa le, és töltsse le az FPGA mérőpanelre!. Demonstrálja a helyes működést!

Funkció: A hálózat adott ütemben villogó 8 darab LED-t valósít meg, amelynek az ütemezését a SW1 és SW0 kapcsoló állása határozza meg. A LED-ek {SW1, SW0}==0 esetben 0,25 mp-enként, {SW1, SW0}==1 esetben 0,5 mp-enként, {SW1, SW0}==2 esetben 1 mp-enként, {SW1, SW0}==3 esetben pedig 2 mp-enként váltanak állapotot (mind a 8 LED egyszerre). A hálózat órajele az FPGA panel 16 MHz-es órajele.

Verilog nyelven tervezzen egy szinkron hálózatot, amely az alábbi bekezdésben specifikált funkciót valósítja meg. A WebPACK rendszer segítségével készítse el a leírást! A leírás elkészítésénél a WebPACK sablonjait (Language Templates) is használhatja. Nem szükséges hierarchikus tervezést végezni. (Szimulációval ellenőrizze a működést!) A leírást fordítsa le, és töltsse le az FPGA mérőpanelre! Demonstrálja a helyes működést!

Funkció: A hálózat bekapcsolás után egy 0 karaktert jelenít meg a jobb oldali hétszegmenses kijelzőn, majd ezt követően másodperces időzítéssel a 0 karakter jobbról-balra halad a hétszegmenses kijelzőkön. A bal oldali kijelzőt elérve a karakter ismét jobbról lép be. A hálózat órajele az FPGA panel 16 MHz-es órajele.

Verilog nyelven tervezzen egy szinkron hálózatot, amely az alábbi bekezdésben specifikált funkciót valósítja meg. A WebPACK rendszer segítségével készítse el a leírást! A leírás elkészítésénél a WebPACK sablonjait (Language Templates) is használhatja. Nem szükséges hierarchikus tervezést végezni. (Szimulációval ellenőrizze a működést!) A leírást fordítsa le, és töltsse le az FPGA mérőpanelre! Demonstrálja a helyes működést!

Funkció: A hálózat egy, az SW0 kapcsolóval változtatható számlálási irányú 0-9 értéktartományú másodpercszámláló értékét mutatja meg a jobb oldali hétszegmenses kijelzőn, az LD0 LED egy paritásbitet jelenít meg, az LD1 LED pedig a szám páros jellegét azonosítja. A hálózat órajele az FPGA panel 16 MHz-es órajele. A számlálást egy másodpercenként érkező, 1 órajel szélességű engedélyező jel ütemezi. Ezt a jelet is a hálózat állítja elő.

Verilog nyelven tervezzen egy szinkron hálózatot, amely az alábbi bekezdésben specifikált funkciót valósítja meg. A WebPACK rendszer segítségével készítse el a leírást! A leírás elkészítésénél a WebPACK sablonjait (Language Templates) is használhatja. Nem szükséges hierarchikus tervezést végezni. (Szimulációval ellenőrizze a működést!) A leírást fordítsa le, és töltsse le az FPGA mérőpanelre! Demonstrálja a helyes működést!

Funkció: A BTN0 (reset jel) gomb hatására a SW0-SW7 kapcsolókkal beállíthatott értékek megjelennek két darab jobb oldali hétszegmenses kijelzőn. A BTN0 gomb felengedése után ezek az értékek kb. másodpercenként shiftelődnek egy visszacsatolt balra shiftelő regiszterben, miközben az aktuális értékek megjelennek a két digitális hétszegmenses kijelzőn. A hálózat órajele az FPGA panel 16 MHz-es órajele. A shiftelést egy kb. másodpercenként érkező, 1 órajel szélességű engedélyező jel ütemezi. Ezt a jelet is a hálózat állítja elő. A két darab nem használt digitet semmi ne jelenjen meg.

Verilog nyelven tervezzen egy szinkron hálózatot, amely az alábbi bekezdésben specifikált funkciót valósítja meg. A WebPACK rendszer segítségével készítse el a leírást! A leírás elkészítésénél a WebPACK sablonjait (Language Templates) is használhatja. Nem szükséges hierarchikus tervezést végezni. (Szimulációval ellenőrizze a működést!) A leírást fordítsa le, és töltsse le az FPGA mérőpanelre! Demonstrálja a helyes működést!

Funkció: Készítsen 16 bites bináris számlálót, melynek értékeit jelenítse meg a 4 darab hétszegmenses kijelzőn. A BTN0 (reset jel) gomb hatására a számláló a 0 értéket veszi fel, egyébként másodpercenként számol, az aktuális értékek megjelennek a hétszegmenses kijelzőn. A hálózat órajele az FPGA panel 16 MHz-es órajele. A számlálást egy fél másodpercenként érkező, 1 órajel szélességű engedélyező jel ütemezi. Ezt a jelet is a hálózat állítja elő.

Verilog nyelven tervezzon egy szinkron hálózatot, amely az alábbi bekezdésben specifikált funkciót valósítja meg. A WebPACK rendszer segítségével készítse el a leírást! A leírás elkészítésénél a WebPACK sablonjait (Language Templates) is használhatja. Nem szükséges hierarchikus tervezést végezni. (Szimulációval ellenőrizze a működést!) A leírást fordítsa le, és töltsse le az FPGA mérőpanelre! Demonstrálja a helyes működést!

Funkció: Készítsen tervet, amely a 4 darab hétszegmenses kijelző „külső” szegmenseit egymás után kigyújtja, majd kioltja (minden digiten ugyanaz jelenjen meg). A BTN0 (reset jel) gomb hatására a rendszer alapállapotba áll, ekkor a középső szegmens világítson. A szegmenseken kigyújtása/kioltása másodperces ütemezéssel történjen. A hálózat órajele az FPGA panel 16 MHz-es órajele. A számlálást egy 1 órajel szélességű engedélyező jel ütemezi. Ezt a jelet is a hálózat állítja elő.

A megvalósítandó minta tehát:

