



Interrupt management

© 2004 Xilinx, Inc. All Rights Reserved

PowerPC kivétel kezelés

- Kivétel – exception
- Megszakítás - Interrupt

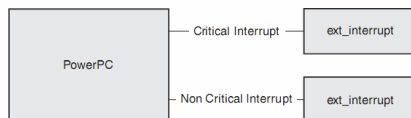


Table 1: Virtex-II Pro and Virtex-4 FX PPC405 Exceptions

Exception	Vector Offset	Classification	Cause
Critical Input	0x0100	Critical	External critical-interrupt signal
Machine Check	0x0200	Critical	External bus error
Data Storage	0x0300	Noncritical	Data-access violation
Instruction Storage	0x0400	Noncritical	Instruction-access violation
External	0x0500	Noncritical	External noncritical-interrupt signal
Alignment	0x0600	Noncritical	Unaligned operand of dcread , lwarx , stwx . Use of dcbz to noncacheable or writethrough memory.
Program	0x0700	Noncritical	Improper or illegal instruction execution. Execution of trap instructions.
FPU Unavailable	0x0800	Noncritical	Attempt to execute an FPU instruction when FPU is disabled.
System Call	0x0C00	Noncritical	Execution of sc instruction.
APU Unavailable	0x0F20	Noncritical	Attempt to execute an APU instruction when APU is disabled.
Programmable-Interval Timer	0x1000	Noncritical	Time-out on the programmable interval timer.
Fixed-Interval Timer	0x1010	Noncritical	Time-out on the fixed-interval timer.
Watchdog Timer	0x1020	Critical	Time-out on the watchdog timer.
Data TLB Miss	0x1100	Noncritical	No data-page translation found.
Instruction TLB Miss	0x1200	Noncritical	No instruction-page translation found.
Debug	0x2000	Critical	Occurrence of a debug event.

© 2004 Xilinx, Inc. All Rights Reserved

Kizárólag oktatási célra



A MicroBlaze processzor

Megszakítás- és kivételkezelés:

- Vektortáblázat a 0x0000 – 0x004F címen
- A táblázatban minden eseményhez két szó tartozik
 - IMM + BRI utasítások: tetszőleges 32 bites cím

Prioritás
↓

Event	Vector Address	Register File Return Address
Reset	0x00000000 - 0x00000004	-
User Vector (Exception)	0x00000008 - 0x0000000C	Rx
Interrupt	0x00000010 - 0x00000014	R14
Break: Non-maskable hardware	0x00000018 - 0x0000001C	R16
Break: Hardware		
Break: Software		
Hardware Exception	0x00000020 - 0x00000024	R17 or BTR
Reserved by Xilinx for future use	0x00000028 - 0x0000004F	-

© 2004 Xilinx, Inc. All Rights Reserved

Kizárólag oktatási célra



A MicroBlaze processzor (kivételek)

Megszakítás és kivételkezelés:

- Egyetlen megszakításkérő bemenet: *Interrupt* port
- Él- vagy szintérzékeny (konfigurálható)
- Ha MSR(IE) = 1 és megszakítás érkezik:
 - R14 = RPC, RPC = 0x0010 és MSR(IE) = 0
 - Végrehajtódik a megszakításkezelő rutin
 - Visszatérés a megszakításból: RTID utasítás
- A megszakítás bekövetkeztekor automatikusan tiltódik ismételt megszakítás beékezése. (MSR(IE) = 0)
- A megszakítás rendszer komplexitását a külső megszakítás vezérlő periféria határozza meg

Parameter Name	Feature/Description	Allowable Values	Default Value	VHDL Type
C_INTERRUPT_IS_EDGE	Level/Edge Interrupt	0, 1	0	Integer
C_EDGE_IS_POSITIVE	Negative/Positive Edge Interrupt	0, 1	1	Integer

© 2004 Xilinx, Inc. All Rights Reserved

Kizárólag oktatási célra



MHS – külső IT forrás

```
PORT ext_interrupt = ext_interrupt, DIR = INPUT, SIGIS = Interrupt,  
SENSITIVITY = LEVEL_HIGH
```

```
BEGIN ppc405  
PARAMETER INSTANCE = ppc405_0  
PARAMETER HW_VER = 2.00.c  
  
PORT RSTC405RESETSYS = RSTC405RESETSYS  
PORT EICC405EXTINPUTIRQ = ext_interrupt  
PORT CPMC405CLOCK = proc_clk_s  
  
END
```

- Külső IT forrás csak szint érzékeny lehet
 - Ha érzékeny forrásunk van INTC-t kell használnunk

© 2004 Xilinx, Inc. All Rights Reserved

Kizárólag oktatási célra



MHS – Belső IT forrás

```
BEGIN opb_uartlite  
PARAMETER INSTANCE = RS232_Uart  
PARAMETER HW_VER = 1.00.b  
PARAMETER C_BAUDRATE = 115200  
PARAMETER C_BASEADDR = 0x7fffc500  
PARAMETER C_HIGHADDR = 0x7fffc5ff  
BUS_INTERFACE SOPB = opb  
PORT OPB_Clk = sys_clk_s  
PORT Interrupt = RS232_Uart_Interrupt  
PORT RX = fpga_0_RS232_Uart_RX  
PORT TX = fpga_0_RS232_Uart_TX  
  
END
```

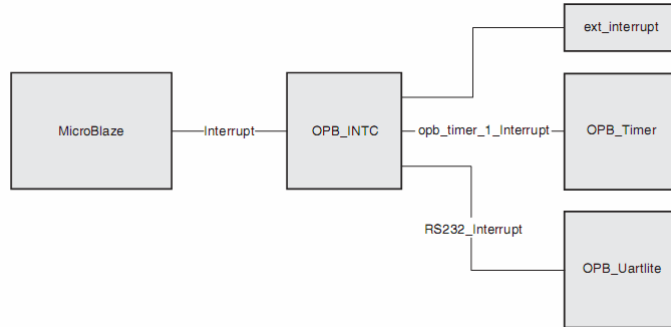
```
BEGIN ppc405  
PARAMETER INSTANCE = ppc405_0  
PARAMETER HW_VER = 2.00.c  
BUS_INTERFACE JTAGPPC = jtagppc_0_0  
BUS_INTERFACE IPLB = plb  
BUS_INTERFACE DPLB = plb  
PORT PLBCLK = sys_clk_s  
PORT C405RSTCHIPPRESETREQ = C405RSTCHIPPRESETREQ  
PORT C405RSTCORERESETREQ = C405RSTCORERESETREQ  
PORT C405RSTSYSRESETREQ = C405RSTSYSRESETREQ  
PORT RSTC405RESETCCHIP = RSTC405RESETCCHIP  
PORT RSTC405RESETCORE = RSTC405RESETCORE  
PORT RSTC405RESETSYS = RSTC405RESETSYS  
PORT EICC405EXTINPUTIRQ = RS232_Uart_Interrupt  
PORT CPMC405CLOCK = proc_clk_s  
  
END
```

© 2004 Xilinx, Inc. All Rights Reserved

Kizárólag oktatási célra



INTC használata

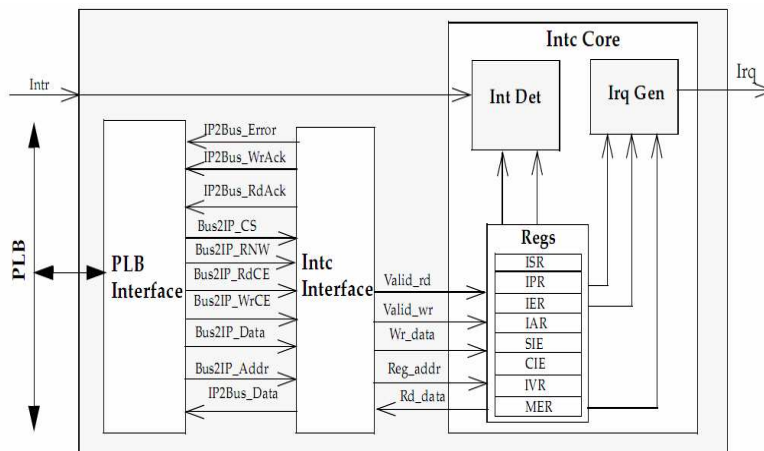


© 2004 Xilinx, Inc. All Rights Reserved

Kizárólag oktatási célra



XPS INTC



© 2004 Xilinx, Inc. All Rights Reserved

Kizárólag oktatási célra



XPS INTC

Register Name	Base Address + Offset (Hex)	Access Type	Abbreviation	Reset Value
Interrupt Status Register	C_BASEADDR + 0x0	Read / Write	ISR	All Zeros
Interrupt Pending Register	C_BASEADDR + 0x4	Read	IPR	All Zeros
Interrupt Enable Register	C_BASEADDR + 0x8	Read / Write	IER	All Zeros
Interrupt Acknowledge Register	C_BASEADDR + 0xC	Write	IAR	All Zeros
Set Interrupt Enable Bits	C_BASEADDR + 0x10	Write	SIE	All Zeros
Clear Interrupt Enable Bits	C_BASEADDR + 0x14	Write	CIE	All Zeros
Interrupt Vector Register	C_BASEADDR + 0x18	Read	IVR	All Ones
Master Enable Register	C_BASEADDR + 0x1C	Read / Write	MER	All Zeros

© 2004 Xilinx, Inc. All Rights Reserved

Kizárólag oktatási célra



- Interrupt Status Register
 - 1 bit / IT forrás
 - Írható (!), ha MER(HIE)=1
- Interrupt Enable Register
- Interrupt Pending Register
 - ISR & IER
- Interrupt Acknowledge Register

- Interrupt Vector Register
 - Legnagyobb aktív IT száma

© 2004 Xilinx, Inc. All Rights Reserved

Kizárólag oktatási célra



INTC bekötése

Instance	Port Name	Net Name	Pol...	Range
plb_bram_if_cntr_2	PLB_Clk	sys_clk_s	I	
opb_timer_1	OPB_Clk	sys_clk_s	I	
opb_timer_1	Interrupt	opb_timer_1_I...	O	
opb_intc_0	Irq			
opb_intc_0	Intr			
dcm_0	CLKIN			
dcm_0	CLK0			
dcm_0	CLKFX			
dcm_0	CLKFB			

Connect and Prioritize Interrupts

Order the interrupts in the order of priority, highest being on top

ext_interrupt	High Priority	EICC405EXTINPUTIRQ
opb_timer_1_Interrupt		net_gnd
RS232_Uart_Interrupt		

<< Add

Interrupt Name	Priority
ext_interrupt	1 Highest
opb_timer_1_Interrupt	2
RS232_Uart_Interrupt	3 Lowest

```
BEGIN opb_intc_0
PARAMETER INSTANCE = opb_intc_0
PARAMETER HW_VER = 1.00.c
PARAMETER C_BASEADDR = 0x7fff5c00
PARAMETER C_HIGHADDR = 0x7fff06ff
BUS_INTERFACE SOPB = opb
PORT Irq = EICC405EXTINPUTIRQ
PORT Intr = RS232_Uart_Interrupt & opb_timer_1_Interrupt & ext_interrupt
END
```

© 2004 Xilinx, Inc. All Rights Reserved **Kizárólag oktatási célra**

MicroBlaze funkciók

- **Default handler:** XIntc_DeviceInterruptHandler
- void microblaze_enable_interrupts(void)
- void microblaze_disable_interrupts(void)
- void microblaze_register_handler(XInterruptHandler Handler, void *DataPtr)

Level 0/1 Driver

- `XIntc_DeviceInterruptHandler(void)`
- `XIntc_mMasterEnable(Interrupt Controller Base Address)`
- `XIntc_mEnableIntr (BaseAddress, EnableMask)`
- `XIntc_SetIntrSvcOption(Xuint32 BaseAddress, int Option)`
 - `XIN_SVC_SGL_ISR_OPTION`
 - `XIN_SVC_ALL_ISRS_OPTION`
- `XIntc_RegisterHandler(Xuint32 BaseAddress, int InterruptId, XInterruptHandler Handler, void *CallBackRef);`



Minta kód részlet

- `XIntc_RegisterHandler(XPAR_OPB_INTC_0_BASEADDR, XPAR_OPB_INTC_0_RS232_INTERRUPT_INTR, uart_int_handler, (void *)0);`
- `XIntc_mMasterEnable(XPAR_OPB_INTC_0_BASEADDR);`
- `XIntc_mEnableIntr(XPAR_OPB_INTC_0_BASEADDR, XPAR_OPB_RS232_INTERRUPT_MASK | XXX);`
- Periféria IT engedélyezése
- `microblaze_enable_interrupts();`

Defines ->
xparameters.h

