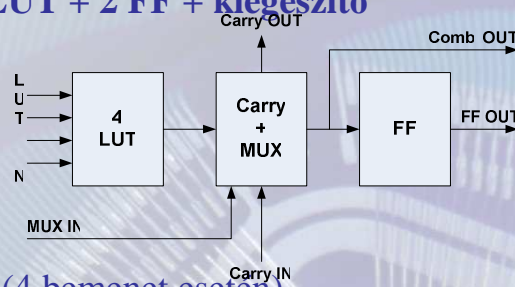


Mi van egy FPGA-ban ?



Xilinx FPGA: Alap logikai elem

Logikai elem (Slice): 2 LUT + 2 FF + kiegészítő logika

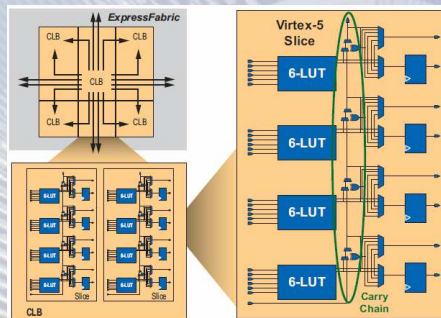


LUT: Look-Up Table

- 16x1 bites memória (4 bemenet esetén)
- Cím: a logikai függvény bemeneti változói
- Tartalom: igazságtábla
- Bármilyen négy bemenetű, egy kimenetű logikai függvény megvalósítható

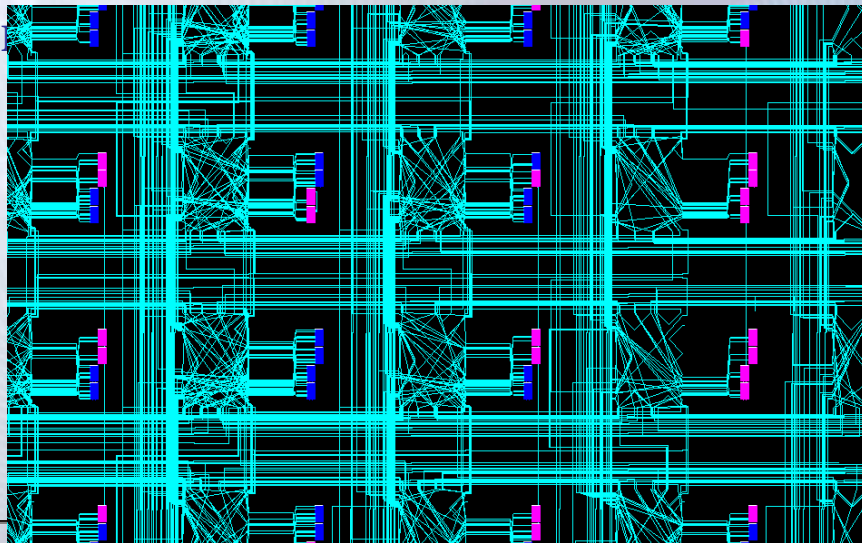
LUT + FF + huzalozás

- 1 x 6 bemenetű – 1 kimenetű LUT
- 2 x 5 bemenetű – 2 kimenetű LUT
- 4 db LUT + FF + etc. -1 slice
- 2 slice – CLB
- Egyéb felhasználás
 - SRL FIFO
 - RAM
 - ROM



Page 3

Xilinx FPGA-k



Page 4

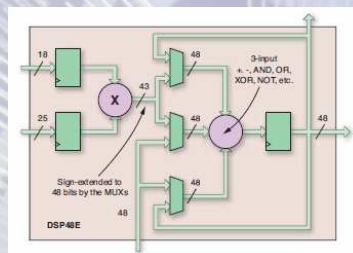
Block RAM

- 32 - 324 dual-portos BRAM (36Kbit)
- Szükség esetén 2x 18 KBit
- 1 – 36 bites interfész
- ECC
- FIFO üzemmód

Page 5

DSP48 slice

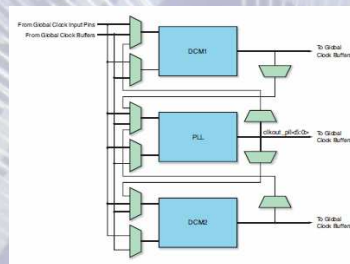
- 32 - 640 DSP48
- 25 x 18 bites szorzó + accumlátor
- 550 MHz frekvencia
- Dedikált kaszkádosítás
- Opcionális pipeline fokozatok
- Logikai műveletek



Page 6

Órajel menedzsment

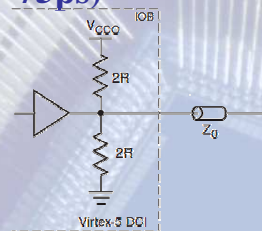
- **2-6 Clock menedzsment egység (2 DCM + 1 PLL)**
 - Órajel szorzás /osztás
 - Fázis késleltetés
- **Globális regionális és lokális órajel**



Page 7

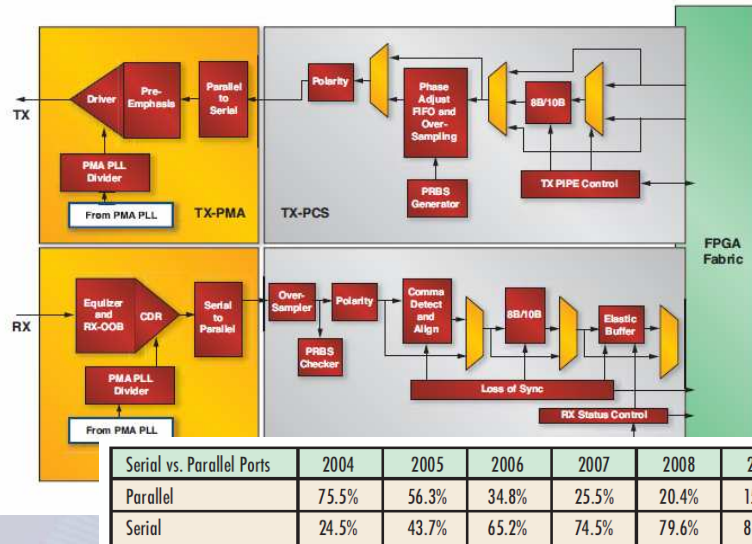
Select I/O

- **220 – 1200 I/O – 40 / bank**
- **1.2 V – 3.3 V tartomány**
- **Számtalan szabványos interfész (LVDS,DDR)**
- **DCI – Digital COntrolled Impedance**
- **IDELAY / ODELAY (64 pozíció – 75ps)**
- **Serdes (2-10 bit)**



Page 8

RocketIO



Page 9

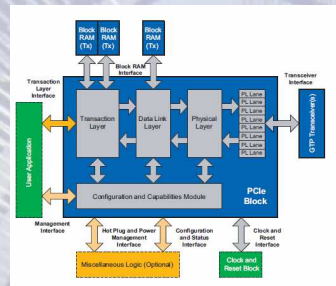
Konfiguráció

- SRAM alapú FPGA
- 8 Mb - 79 Mb (1 to 10 MB) konfiguráció
- Tömörítés
- Dinamikus parciális rekonfiguráció
 - DCM + PLL
 - RocketIO
 - System Monitor
- Tömörítés
- Titkosítás (256 bit AES)
- Platform Flash, Flash, SPI, SelectMap támogatás

Page 10

Egyéb

- **System management**
 - 10 bit / 200 KHz AD
 - 16 bemenet + tápok
 - Hőmérséklet mérése
- **1-8 lane PCIe**
- **10/100/1000 Ethernet MAC x 4**
- **PowerPC**



Page 11

Köszönöm a figyelmet!

BME
i'm lovin' it